



(12) 发明专利申请

(10) 申请公布号 CN 114122035 A

(43) 申请公布日 2022. 03. 01

(21) 申请号 202111388618.6

(22) 申请日 2021.11.22

(71) 申请人 深圳先进技术研究院

地址 518055 广东省深圳市南山区西丽大学城学苑大道1068号

(72) 发明人 武二元 杨春雷 陈明 邵龔
朱元昊 陈志勇

(74) 专利代理机构 北京市诚辉律师事务所
11430

代理人 范盈 李玉娜

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 31/0296 (2006.01)

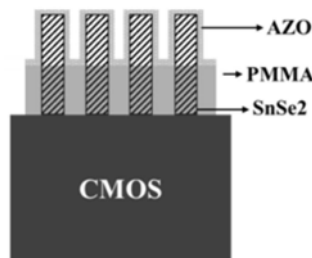
权利要求书2页 说明书5页 附图3页

(54) 发明名称

基于 SnSe_x 的可见紫外光芯片及其制备方法和应用

(57) 摘要

本发明提供了一种基于 SnSe_x 的可见紫外光芯片及其制备方法和应用。具体公开了一种基于二维材料 SnSe_x 的可见紫外光芯片,其包括支撑衬底、垂直生长于所述支撑衬底的二维材料 SnSe_x , x 为1.6~2.2;以及覆盖于 SnSe_x 表面的顶电极;所述支撑衬底为互补金属氧化物半导体,所述顶电极为在 SnSe_x 表面依次设置的未掺杂的氧化锌层和铝掺杂的氧化锌层;所述垂直生长于所述支撑衬底的二维材料 SnSe_x 通过封装胶固定。本发明的可见紫外光芯片制备方法简单,首次采用CMOS与二维纳米材料集成,本发明提供的可见紫外光芯片量子效率高,响应时间短,相比于现有技术提高了光吸收率,可用于宽波段光电探测器的制备。



1. 一种基于二维材料 SnSe_x 的可见紫外光芯片,其特征在于,其包括支撑衬底、垂直生长于所述支撑衬底的二维材料 SnSe_x , x 为1.6~2.2;以及覆盖于 SnSe_x 表面的顶电极;

所述支撑衬底为互补金属氧化物半导体(CMOS),

所述顶电极为在 SnSe_x 表面依次设置的未掺杂的氧化锌层(i-ZnO)和铝掺杂的氧化锌层(AZO);

所述垂直生长于所述支撑衬底的二维材料 SnSe_x 通过封装胶固定;

优选地,所述垂直生长于所述支撑衬底的二维材料 SnSe_x 中 SnSe_x 纳米片的厚度为20nm~30nm,高度为80 μm ~120 μm ;

优选地,支撑衬底表面具有未覆盖二维材料 SnSe_x 和顶电极的裸露区域。

2. 权利要求1所述的可见紫外光芯片,其特征在于,所述封装胶的高度为80 μm ~120 μm ,且封装胶的高度低于二维材料 SnSe_x 的高度,所述垂直生长于所述支撑衬底的二维材料 SnSe_x 顶部裸露在封装胶外部;

优选地,封装胶选自电子束光刻胶正胶或环氧光刻胶负胶。

3. 权利要求1所述的可见紫外光芯片,其特征在于,垂直生长于所述支撑衬底的二维材料 SnSe_x 通过以下方法制成:分子束外延设备(MBE)中分别加入高纯度硒材料源和高纯度锡材料源,通过所述分子束外延设备加热所述锡材料源和硒材料源,并将所述硒材料源和锡材料源分别以分子束或原子束的形式喷射至支撑衬底表面,其中硒源、锡源以及支撑衬底的温度分别为240-250 $^{\circ}\text{C}$,1050-1150 $^{\circ}\text{C}$ 和240-250 $^{\circ}\text{C}$,真空度为 1×10^{-5} - 5×10^{-5} Pa,生长时间为1min~20min;然后进行热退火处理,在3% H_2S 和97% N_2 的气氛下将支撑衬底温度控制在260 $^{\circ}\text{C}$,维持30min~40min。

4. 权利要求1所述的可见紫外光芯片,其特征在于,顶电极的厚度为200nm-300nm;

优选地,顶电极通过以下方法制成:利用射频磁控溅射技术,靶材分别为本征ZnO靶以及掺杂度为2wt%的ZnO: Al_2O_3 陶瓷靶,靶基距80mm;溅射本征ZnO时,通氧气和氩气,预溅射10~15min后先以120~150W溅射功率溅射,然后调节溅射功率为200~250W继续溅射;在溅射AZO时,样品台的温度升至130 $^{\circ}\text{C}$,通入氩气和氢气,使用功率为400~450W预溅射5~10min,然后开始启辉,发现辉光后开始溅射,溅射功率为750W。

5. 权利要求1-4任一项所述的可见紫外光芯片的制备方法,其特征在于,所述方法包括以下步骤:

S1) 在支撑衬底上布置窗口层:

利用射频磁控溅射技术,依次在支撑衬底CMOS表面布置作为窗口层的未掺杂的氧化锌层(i-ZnO)和铝掺杂的氧化锌层(AZO);

S2) 通过光刻技术形成部分裸露的支撑衬底:

在窗口层表面涂覆光刻胶,并进行光刻后,利用光刻胶将部分窗口层从支撑衬底表面剥离,获得的裸露支撑衬底作为第一区域;

S3) 在支撑衬底上生长竖直式的 SnSe_x 阵列;

用分子束外延设备(MBE),将硒材料源和锡材料源,分别以分子束或原子束的形式喷射至步骤S2)支撑衬底表面,并在支撑衬底表面生长;然后进行热退火处理;获得竖直式的 SnSe_x ;

S4) 封装竖直式的 SnSe_x 阵列;

采用封装胶对 SnSe_x D阵列进行封装;然后进行刻蚀,使得第一区域以外的覆盖有覆盖有AZO层的区域从支撑衬底表面剥离,裸露部分支撑衬底,该部分支撑衬底的区域为第二区域;

S5) 表面设置AZO层顶电极;

在第二区域表面覆盖可剥离层,并依次在支撑衬底CMOS表面布置作为顶电极的未掺杂的氧化锌层(i-ZnO)和铝掺杂的氧化锌层(AZO);然后去除第二区域表面的可剥离层;获得可见紫外光芯片;

优选地,窗口层的总厚度约200~300nm。

6. 权利要求5所述的制备方法,其特征在于,步骤S1)中和S5)中,未掺杂的氧化锌层(i-ZnO)通过以下方法制备:靶材为掺杂度为2wt%的 $\text{ZnO}:\text{Al}_2\text{O}_3$ 陶瓷靶,靶基距为80mm,通过射频磁控溅射制备,射频磁控溅射条件为,通过氧气和氩气,预溅射10~15min后以120~150W溅射功率,然后调节溅射功率为200~250W,继续溅射后获得;

步骤S1)中和S5)中,铝掺杂的氧化锌层的氧化锌层(AZO)通过以下方法制备:靶材为本征ZnO靶,靶基距为80mm,通过射频磁控溅射制备,射频磁控溅射条件为靶材为掺杂度为2wt%的 $\text{ZnO}:\text{Al}_2\text{O}_3$ 陶瓷靶,靶基距为80mm,通过射频磁控溅射制备,射频磁控溅射条件为,样品台的温度升至120-150℃,通入氩气和氢气,使用功率为400~450W预溅射5~10min,然后开始启辉,启辉后开始溅射,溅射功率为700-800W。

7. 权利要求5所述的制备方法,其特征在于,步骤S2)中涂覆的光刻胶为正光刻胶,匀胶后在100-150℃的加热台上加热0.5-5min;选取光刻板进行光刻1-5min;光刻板能够进行光刻曝光的区域为用于生长具有竖直式的 SnSe_x 的部分,然后在温度为90-110℃的加热台上进行加热1-5min;放入显影液进行显影,获得部分裸露表面的支撑衬底。

8. 权利要求5所述的制备方法,其特征在于,步骤S3)中,喷射硒材料源和锡材料源时,硒材料源、锡材料源以及衬底的温度分别为240-250℃,1050-1150℃和240-250℃,真空度为 1×10^{-5} - 5×10^{-5} Pa;生长时间为1min~20min;热退火处理,通过3% H_2S 和97% N_2 ,在该气氛下将衬底温度控制在260℃,维持30min~40min。

9. 权利要求5所述的制备方法,其特征在于,步骤S4)中,封装胶的封装厚度控制在80μm-120μm,且封装厚度低于 SnSe_x 阵列厚度,即 SnSe_x 阵列未完全被封装胶覆盖住,其中,x为1.6~2.2;

优选地,步骤S4)中,剥离覆盖有AZO层的方法为通过0.08-0.2mol/L的盐酸溶液进行刻蚀。

10. 权利要求1-4任一项所述的可见紫外光芯片在制备宽波段光电探测器中的用途。

基于SnSe_x的可见紫外光芯片及其制备方法和应用

技术领域

[0001] 本发明属于光电芯片领域,具体涉及一种基于SnSe_x的可见紫外光芯片及其制备方法和应用。

背景技术

[0002] 无论是在安防、监控等安全领域,还是在智能手机等移动电子领域,对于弱光条件下如何实现高质量成像一直面临巨大挑战,对超高灵敏度光电探测材料和成像芯片有着强烈的需求。目前商用光电芯片的核心感光材料主要包括半导体Si、Ge、InGaAs、HgCdTe等,但是基于这些传统半导体材料的光电芯片外量子效率较低,成熟的Si器件的外量子效率通常只有50-80%左右,这就造成了探测器对于微弱光信号的检测能力不足,限制了其在夜晚和无照明光的室内等弱光条件下的成像质量。因此,探索新型光电芯片,开发超高灵敏度的光电探测器,仍然是材料领域和光电领域研究热点方向。

[0003] 相比传统半导体材料,受益于纳米尺度所特有的量子限域效应及表面效应(更大的比表面积),二维层状材料的电荷分离过程将更加高效,也容易获得高密度,寿命更长的光生载流子,有助于提高探测器的外量子效率和光响应率。这些优点使得二维材料被视为下一代超高灵敏度的光电芯片核心材料的基石,也是近年来国际上光电转换材料研究前沿方向。

[0004] 但是,如何进一步提高二维层状材料制成光电芯片的外量子效率,提高二维层状材料的物理稳定性依然是该领域面临的问题。

发明内容

[0005] 为解决上述问题,本发明旨在采用特殊方法将二维材料SnSe_x以直立式纳米片的形式生长在支撑衬底上,形成可见紫外光的芯片。在实现芯片超高灵敏度、提高光响应性能和光吸收率、扩宽波段的同时,实现了结构稳定的CMOS设备集成的二维成像芯片。

[0006] 本发明一个方面提供了一种基于二维材料SnSe_x的可见紫外光芯片,其包括支撑衬底、垂直生长于所述支撑衬底的二维材料SnSe_x, x 为1.6~2.2;以及覆盖于SnSe_x表面的顶电极;

[0007] 所述支撑衬底为互补金属氧化物半导体(CMOS),

[0008] 所述顶电极为在SnSe_x表面依次设置的未掺杂的氧化锌层(i-ZnO)和铝掺杂的氧化锌层(AZO);

[0009] 所述垂直生长于所述支撑衬底的二维材料SnSe_x通过封装胶固定。

[0010] 进一步地,所述垂直生长于所述支撑衬底的二维材料SnSe_x中SnSe_x纳米片的厚度为20nm~30nm,高度为80 μ m~120 μ m。

[0011] 进一步地,所述封装胶的高度为80 μ m~120 μ m,且封装胶的高度低于二维材料SnSe_x的高度,所述垂直生长于所述支撑衬底的二维材料SnSe_x顶部裸露在封装胶外部。

[0012] 进一步地,封装胶选自电子束光刻胶正胶或环氧光刻胶负胶,例如电子束光刻胶

正胶聚甲基丙烯酸甲酯 (PMMA)、电子束光刻胶正胶RZJ-304、环氧光刻胶负胶SN-100。

[0013] 进一步地,顶电极的厚度为200nm-300nm。

[0014] 进一步地,支撑衬底表面具有未覆盖二维材料 SnSe_x 和顶电极的裸露区域。

[0015] 进一步地,垂直生长于所述支撑衬底的二维材料 SnSe_x 通过以下方法制成:分子束外延设备(MBE)中分别加入高纯度硒材料源和高纯度锡材料源,通过所述分子束外延设备加热所述锡材料源和硒材料源,并将所述硒材料源和锡材料源分别以分子束或原子束的形式喷射至支撑衬底表面,其中硒源、锡源以及支撑衬底的温度分别为245℃,1100℃和245℃,真空度为 2×10^{-5} Pa,生长时间为1min~20min;然后进行热退火处理,在3% H_2S 和97% N_2 的气氛下将支撑衬底温度控制在260℃,维持30min~40min。

[0016] 进一步地,顶电极通过以下方法制成:利用射频磁控溅射技术,靶材分别为本征ZnO靶以及掺杂度为2wt%的 $\text{ZnO}:\text{Al}_2\text{O}_3$ 陶瓷靶,靶基距80mm;溅射本征ZnO时,通氧气和氩气,预溅射10~15min后先以120~150W溅射功率溅射,然后调节溅射功率为200~250W继续溅射;在溅射AZO时,样品台的温度升至130℃,通入氩气和氢气,使用功率为400~450W预溅射5~10min,然后开始启辉,发现辉光后开始溅射,溅射功率为750W。

[0017] 本发明另一个方面提供了上述可见紫外光芯片的制备方法,所述方法包括以下步骤:

[0018] S1) 在支撑衬底上布置窗口层:

[0019] 利用射频磁控溅射技术,依次在支撑衬底CMOS表面布置作为窗口层的未掺杂的氧化锌层(i-ZnO)和铝掺杂的氧化锌层(AZO);

[0020] S2) 通过光刻技术形成部分裸露的支撑衬底:

[0021] 在窗口层表面涂覆光刻胶,并进行光刻后,利用光刻胶将部分窗口层从支撑衬底表面剥离,获得的裸露支撑衬底作为第一区域;

[0022] S3) 在支撑衬底上生长竖直式的 SnSe_x 阵列;

[0023] 用分子束外延设备(MBE),将硒材料源和锡材料源,分别以分子束或原子束的形式喷射至步骤S2)支撑衬底表面,并在支撑衬底表面生长;然后进行热退火处理;获得竖直式的 SnSe_x ;

[0024] S4) 封装竖直式的 SnSe_x 阵列:

[0025] 采用封装胶对 SnSe_x 阵列进行封装;然后进行刻蚀,使得第一区域以外的覆盖有覆盖有AZO层的区域从支撑衬底表面剥离,裸露部分支撑衬底,该部分支撑衬底的区域为第二区域;

[0026] S5) 表面设置AZO层顶电极;

[0027] 在第二区域表面覆盖可剥离层,并依次在支撑衬底CMOS表面布置作为顶电极的未掺杂的氧化锌层(i-ZnO)和铝掺杂的氧化锌层(AZO);然后去除第二区域表面的可剥离层;获得可见紫外光芯片。

[0028] 进一步地,步骤S1)中和S5)中,未掺杂的氧化锌层(i-ZnO)通过以下方法制备:靶材为掺杂度为2wt%的 $\text{ZnO}:\text{Al}_2\text{O}_3$ 陶瓷靶,靶基距为80mm,通过射频磁控溅射制备,射频磁控溅射条件为,通过氧气和氩气,预溅射10~15min后以120~150W溅射功率,然后调节溅射功率为200~250W,继续溅射后获得。优选地,通过氧气和氩气的速率比为1:8-12,更优选为1:10。

[0029] 进一步地,步骤S1)中和S5)中,铝掺杂的氧化锌层的氧化锌层(AZO)通过以下方法制备:靶材为本征ZnO靶,靶基距为80mm,通过射频磁控溅射制备,射频磁控溅射条件为靶材为掺杂度为2wt%的ZnO:Al₂O₃陶瓷靶,靶基距为80mm,通过射频磁控溅射制备,射频磁控溅射条件为,样品台的温度升至120-150℃,通入氩气和氢气,使用功率为400~450W预溅射5~10min,然后开始启辉,启辉后开始溅射,溅射功率为700-800W。优选地,通过氩气和氢气的速率比为6-10:1,更优选为8:1。

[0030] 进一步地,窗口层的总厚度约200~300nm。

[0031] 进一步地,步骤S2)中涂覆的光刻胶为正光刻胶,匀胶后在100-150℃的加热台上加热0.5-5min;选取光刻板进行光刻1-5min;光刻板能够进行光刻曝光的区域为用于生长具有竖直式的SnSe_x的部分,然后在温度为90-110℃的加热台上进行加热1-5min;放入显影液进行显影,获得部分裸露表面的支撑衬底。

[0032] 进一步地,步骤S3)中,喷射硒材料源和锡材料源时,硒材料源、锡材料源以及衬底的温度分别为245℃,1100℃和245℃,真空度为 2×10^{-5} Pa;生长时间为1min~20min;热退火处理,通过3%H₂S和97%N₂,在该气氛下将衬底温度控制在260℃,维持30min~40min。

[0033] 进一步地,步骤S4)中,封装胶的封装厚度控制在80μm-120μm,且封装厚度低于SnSe_x(x=1.6~2.2)阵列厚度,即SnSe_x(x=1.6~2.2)阵列未完全被封装胶覆盖住。

[0034] 进一步地,步骤S4)中,剥离覆盖有AZO层的方法为通过0.08-0.2mol/L的盐酸溶液进行刻蚀。

[0035] 本发明再一个方面提供了本发明上述可见紫外光芯片在制备宽波段光电探测器中的用途。

[0036] 本发明还提供了一种如上所述通过调节衬底温度调控SnSe_x纳米片的晶体质量,后期热退火处理调节和控制表面缺陷态-包括材料内部缺陷(V_{sn}、V_{se}、SnSe)、减少O元素吸附于SnSe_x表面缺陷(电子陷阱)等。衬底温度控制在260℃,热退火处理主要包括利用3%H₂S和97%N₂的气氛下通过控制升温 and 保温温度与时间的控制达到调整和控制晶体内部缺陷,于是控制温度在(250℃~270℃)升温与保温时间在(30min~40min)。

[0037] 本发明还提供了一种如上所述的基于二维薄膜材料SnSe_x的高性能可见紫光芯片制备,对所制备的SnSe_x纳米片薄膜层进行匀胶,胶的种类包括PMMA、电子束光刻胶正胶(RZJ-304)、环氧负胶(SN-100)等。通过控制转速来调控匀胶的厚度,然后用膜厚仪进行测试其厚度。

[0038] 有益效果

[0039] 1) 本发明首次提供一种CMOS芯片上直接生长探测器吸收材料的工艺,用于制备与CMOS设备集成的二维成像芯片。

[0040] 2) 本发明所用的二维材料改变了现有技术中层状结构缺陷,实现了竖直式阵列结构的二维IV-VI族半导体材料,其表现出显著的陷光效应,极大地提高了材料的光吸收率,吸收系数达到90%以上,初步获得的芯片对的量子效率达到了 $1.02 \times 104\%$,响应时间小于400μs。

[0041] 3) 本发明实现了大面积均匀(10cm×10cm)的二维IV-VI族半导体,更容易实现基于二维材料SnSe_x的可见紫外光芯片的制备,该技术的突破,将有机会推进新型超高性能的宽波段光电探测器的产业化进程。

[0042] 4) 本发明通过特定的退火条件实现了形成的 SnSe_x 中 x 值更接近2.0。

附图说明

[0043] 图1(a)是本专利的支撑衬底cmos的照片,(b)是支撑衬底cmos的SEM图。

[0044] 图2是基于 SnSe_x 的可见紫外光芯片的制造过程示意图。

[0045] 图3是本发明可见紫外光芯片的结构示意图。

[0046] 图4是在支撑基底上生长的 SnSe_x 的俯视SEM图像。

具体实施方式

[0047] 为使本发明的目的、技术方案和优点更加清楚,下面结合附图对本发明的具体实施方式进行详细说明。这些优选实施方式的示例在附图中进行了例示。附图中所示和根据附图描述的本发明的实施方式仅仅是示例性的,并且本发明并不限于这些实施方式。

[0048] 实施例1可见紫外光芯片的制备

[0049] 1) 在CMOS支撑衬底上布置窗口层

[0050] 利用射频磁控溅射技术,以CMOS为支撑衬底,依次在CMOS表面布置高阻层 $i\text{-ZnO}$ 和低阻层AZO,其中CMOS支撑衬底的照片和SEM照片见图1。其靶材分别为 $254\text{mm} \times 103\text{mm} \times 6.35\text{mm}$,纯度为99.99%的本征 ZnO 靶以及掺杂度为2wt%的 $\text{ZnO}:\text{Al}_2\text{O}_3$ 陶瓷靶,其靶基距80mm,支撑衬底在靶上方做水平往返运动,真空设备的本底真空度为 $1 \times 10^{-5}\text{Pa}$ 。溅射本征 ZnO 时,以2sccm的速率通99.999%的氧气,20sccm的速率通入99.999%高纯氩气,预溅射10~15min,然后先以120~150W溅射功率,衬底在靶材往返上方4次,立即调节溅射功率为200~250W,衬底在靶材上方继续往返10次溅射。在溅射AZO时,样品台的温度升至 130°C ,20sccm的速率通入99.999%高纯氩气,以2.5sccm的速率通99.999%的氢气,使用功率为400~450W预溅射5~10min,然后开始启辉,启辉使用功率为200W以下,调节阀门高度,当反射功率发生变化时在观察口处发现辉光,即启辉成功。开始溅射,溅射功率为750W,溅射10次。窗口层($i\text{-ZnO}+\text{AZO}$)总厚度约200~300nm。

[0051] 2) 通过光刻技术形成部分裸露CMOS支撑衬底:

[0052] 将步骤1)获得的表面布置AZO层CMOS支撑衬底固定于匀胶机上,涂上正光刻胶,并设置匀胶机转速为4000转。启动匀胶机,并运行30秒;在 120°C 的加热台上加热1min;选取光刻板进行光刻1.5min;光刻板能够进行光刻曝光的区域为用于生长具有竖直式的 SnSe_x 的部分,然后在温度为 100°C 的加热台上进行加热1min;放入显影液30秒,进行显影,曝光部分的光刻胶以及支撑衬底表面的 $i\text{-ZnO}$ 和AZO也均溶解在显影液中,获得部分裸露CMOS表面的支撑衬底,CMOS表面裸露的部分称为第一区域。

[0053] 3) 生长具有竖直式的 SnSe_x :

[0054] 向分子束外延设备(MBE)中分别加入高纯度硒材料源和高纯度锡材料源,优选的硒源和锡源的纯度为99.99%。通过所述分子束外延设备先加热所述锡材料源,后加热所述硒材料源,并将所述硒材料源和锡材料源分别以分子束或原子束的形式喷射至基片上,其中硒材料源、锡材料源以及衬底的温度分别为 245°C , 1100°C 和 245°C ,真空度为 $2 \times 10^{-5}\text{Pa}$ 。形成 SnSe_x ($x=1.6\sim 2.2$)纳米片阵列结构,生长时间为1min~20min。然后进行热退火处理,通过3% H_2S 和97% N_2 ,在该气氛下将衬底温度控制在 260°C ,维持30min~40min。在CMOS

上生长获得的竖直式 SnSe_x 的俯视SEM图见图4。所述半导体纳米片阵列中的纳米片的厚度为20nm~30nm,高度为80 μm ~120 μm 。通过3% H_2S 和97% N_2 ,以及衬底温度控制在260 $^\circ\text{C}$ 的退火操作,实现了形成 SnSe_x 更接近2.0。

[0055] 4) 封装竖直式的 SnSe_x

[0056] 在生长完成之后将制备的 SnSe_x ($x=1.6\sim 2.2$) 二维薄膜进行匀胶封装,封装胶的种类为聚甲基丙烯酸甲酯 (PMMA)、电子束光刻胶正胶 (RZJ-304)、环氧光刻胶负胶 (SN-100) 等,而在本实施例选择的是PMMA。通过控制转速来调控匀胶的厚度,然后用膜厚仪进行测试其厚度。转速范围在700~3700rpm,封装胶的厚度控制在80 μm ~120 μm 左右,且 SnSe_x ($x=1.6\sim 2.2$) 纳米片未完全被封装胶覆盖住。封装胶起到绝缘而未导通的作用,同时达到了保护 SnSe_x ($x=1.6\sim 2.2$) 纳米片的形貌特征,防止其在应用场景中受到应力而结构变形的作用。通过调节衬底温度可以调控 SnSe_x 纳米片的晶体质量,后期热退火处理调节和控制表面缺陷态-包括材料内部缺陷 (V_{Sn} 、 V_{Se} 、 SnSe)、减少O元素吸附于 SnSe_x 表面缺陷 (电子陷阱) 等。

[0057] 再通过0.1mol/L的盐酸溶液进行刻蚀。将CMOS支撑衬底上覆盖有AZO层的部分,连同AZO层和其上生长的 SnSe_x 以及PMMA从CMOS支撑衬底上剥离,实现该部分CMOS表面的裸露,该裸露部分称为第二区域。

[0058] 5) 表面设置AZO层顶电极:

[0059] 在第二区域贴上胶带,并重复步骤1) AZO生长操作,使整个器件表面覆盖AZO层。

[0060] 再将胶带撕去从而得到最终期望的器件可见紫外光芯片。

[0061] 获得最终期望的器件的结构示意图见图3。

[0062] 本发明通过竖直式阵列结构的二维IV-VI族半导体材料表现出显著的陷光效应,极大地提高了材料的光吸收率,吸收系数达到90%以上,上述实施例的可见紫外光芯片的量子效率达到了 $1.02\times 104\%$,响应时间小于400 μs 。

[0063] 采用示波器进行测试,本发明的可见紫外光芯片在390nm、532nm和633nm这三种不同波长具有响应型,说明本发明的芯片在可见光和紫外光波段具有宽波段光电响应性。

[0064] 需要说明的是,在本文中,术语“包括”、“包含”或者其他任何其变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0065] 以上所述仅是本申请的具体实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本申请的保护范围。

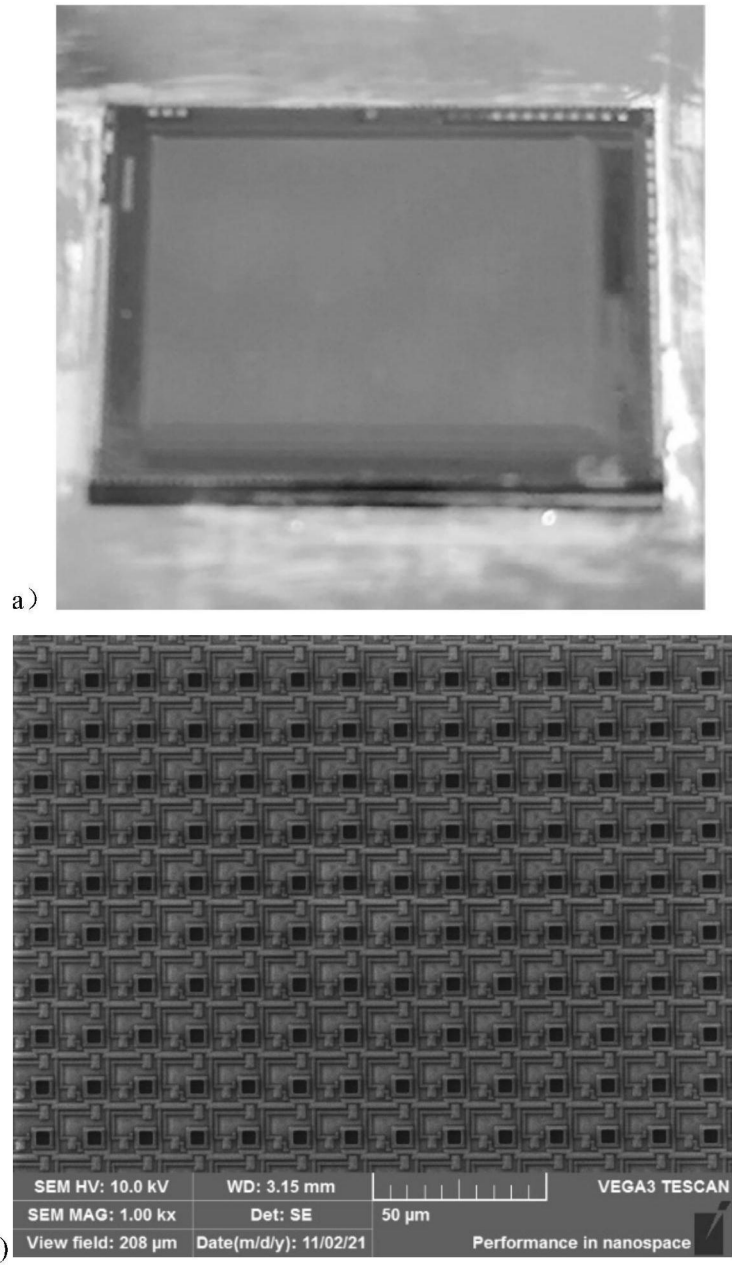


图1

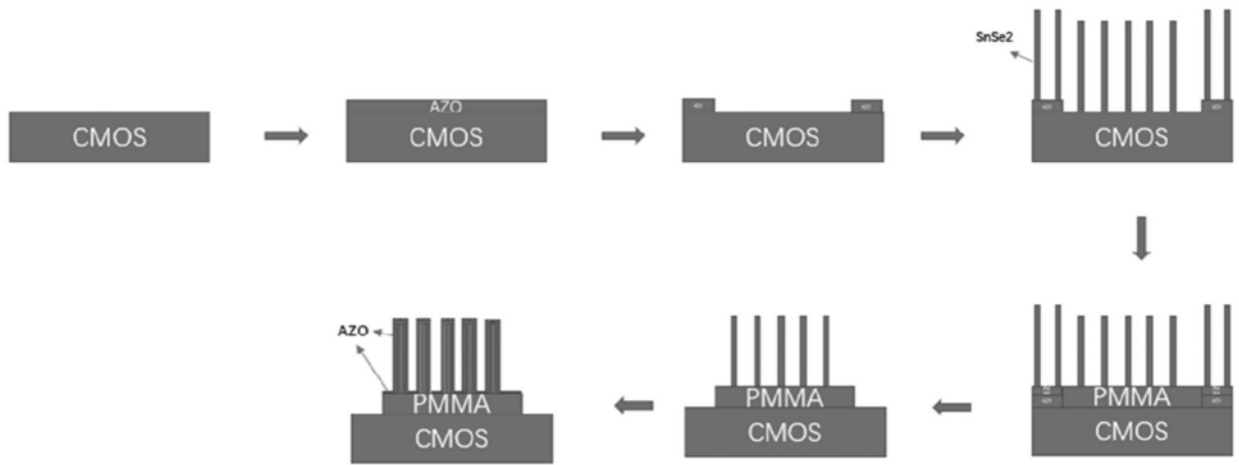


图2

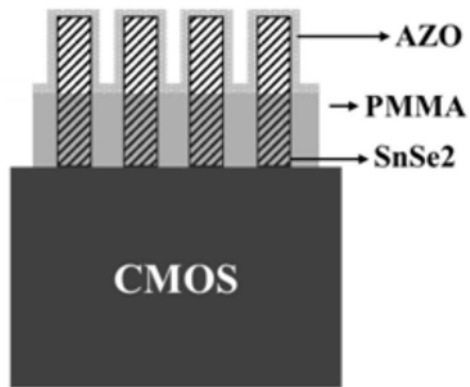


图3

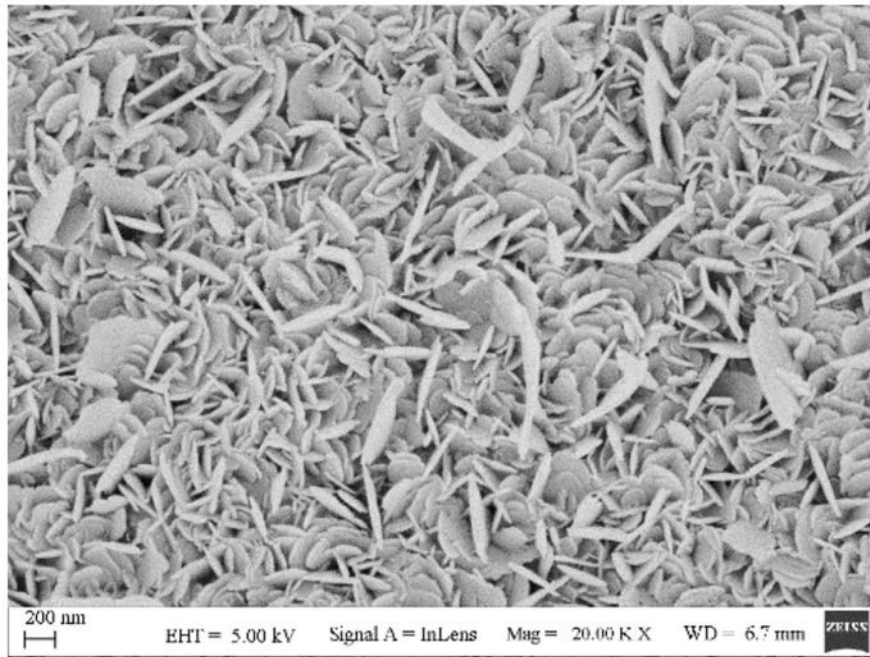


图4