



(12) 发明专利申请

(10) 申请公布号 CN 114156292 A

(43) 申请公布日 2022.03.08

(21) 申请号 202111275086.5

(22) 申请日 2021.10.29

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 孙朋 傅剑宇 许高博 丁明正
殷华湘 陈大鹏

(74) 专利代理机构 北京辰权知识产权代理有限公司 11619

代理人 张晓玲

(51) Int. Cl.

H01L 27/146 (2006.01)

H01L 31/0352 (2006.01)

H01L 31/18 (2006.01)

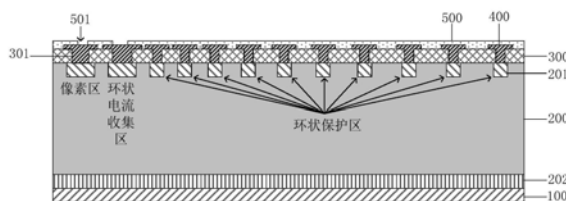
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种硅像素探测器及其制备方法

(57) 摘要

本发明涉及一种硅像素探测器,通过在硅像素探测器的边缘(即在环状电流收集区的外围)增加多个以间距递增方式排布的环状保护结构,降低了器件的漏电流并提高了击穿电压,从而提升了硅像素探测器在高电压工作条件下的灵敏度。



1. 一种硅像素探测器,其特征在于,包括由下至上依次层叠的以下结构:

第一电极层;

衬底,所述衬底上表面的浅表层形成有多个间隔分布的第一掺杂区,所述衬底下表面的浅表层形成第二掺杂区;所述多个间隔分布的第一掺杂区形成为像素区、环状电流收集区和环状保护区;所述环状保护区和环状电流收集区内的每个所述第一掺杂区均为环状结构;并且所述环状电流收集区包围所述像素区,所述环状保护区包围在所述环状电流收集区;其中,所述环状保护区内的相邻所述第一掺杂区的间距由所述环状电流收集区指向所述环状保护区的方向呈递增趋势;

氧化层,所述氧化层设置有多个凹槽,每个所述凹槽的底部一一对应地与每个所述第一掺杂区贯通;

第二电极层,所述第二电极层填充所述凹槽;以及

钝化层,所述钝化层覆盖所述第二电极层的上表面,且所述钝化层设置有多个窗口,所述窗口使所述像素区和所述环状电流收集区上方的第二电极层上表面裸露。

2. 根据权利要求1所述的硅像素探测器,其特征在于,形成为所述环状保护区的所述第一掺杂区的数量 n 为3到15个。

3. 根据权利要求1或2所述的硅像素探测器,其特征在于,所述递增的规律为等差数列;等差数列的公差为 $2-4\mu\text{m}$ 。

4. 根据权利要求3所述的硅像素探测器,其特征在于,所述环状保护区内的相邻第一掺杂区的间距遵循如下公式:

$$S_m = 21.5\mu\text{m} + (m-1) \times 3\mu\text{m},$$

其中, m 为2-15的正整数;

S_m 代表第 m 个第一掺杂区与第 $m-1$ 个第一掺杂区的间距,其中公式中的第1个第一掺杂区是最靠近所述环状电流收集区的。

5. 根据权利要求1或2所述的硅像素探测器,其特征在于,所述第二电极层充满并覆盖所述凹槽。

6. 根据权利要求5所述的硅像素探测器,其特征在于,在所述像素区、环状电流收集区和环状保护区内,每个所述第一掺杂区的宽度均比与其一一对应的凹槽上方的第二电极层部分的宽度小 $5-20\mu\text{m}$ 。

7. 根据权利要求1或2所述的硅像素探测器,其特征在于,所述第一电极层和所述第二电极层的材质均为金属铝;

所述衬底为 n 型硅衬底;所述第一掺杂区为 p^+ 掺杂区;所述第二掺杂区为 n^+ 掺杂区;

所述氧化层为氧化硅层;

所述钝化层为氮化硅层。

8. 根据权利要求1或2所述的硅像素探测器,其特征在于,所述氧化层还包括:位于每个所述凹槽底部的栅氧化层,所述栅氧化层设置有孔,所述孔的底部一一对应地与每个所述第一掺杂区贯通。

9. 权利要求1-8中任一项所述的硅像素探测器的制备方法,其特征在于,包括:

提供衬底;

在所述衬底的上表面形成氧化层;

刻蚀所述氧化层,以形成使所述衬底上表面裸露的多个凹槽;

通过所述凹槽向所述衬底上表面的浅表层进行离子注入,形成多个第一掺杂区,以及对所述衬底的下表面的浅表层进行离子注入以形成第二掺杂区;

在离子注入后,对所述衬底进行退火激活处理;

在所述凹槽内填充导电材料,形成第二电极层;

在所述第二掺杂区的下表面形成第一电极层;

形成覆盖所述第二电极层的钝化层;

刻蚀所述钝化层,从而在所述像素区和所述环状电流收集区的上方形成使所述第二电极层上表面裸露的多个窗口。

10. 根据权利要求9所述的制备方法,其特征在于,在进行离子注入之前,在所示凹槽的底部形成栅氧化层,所述栅氧化层不完全填充所述凹槽;并且在所述退火激活处理后,刻蚀所述凹槽里的栅氧化层,从而形成使第一掺杂区上表面裸露的孔。

一种硅像素探测器及其制备方法

技术领域

[0001] 本发明涉及半导体探测制作技术领域,具体涉及一种硅像素探测器及其制备方法。

背景技术

[0002] 像素探测器是以硅为探测材料的X射线探测和粒子径迹探测器,是半导体探测器的一种。像素探测器具有优异的空间分辨率和迅速的时间响应能力,在各个学科的前沿研究中起到越来越重要的作用。目前,基于硅基的p-i-n结构的像素探测器具有较高的增益,其灵敏度主要受漏电流和击穿电压的影响。现有的像素探测器的漏电流较高且击穿电压较低,导致硅像素探测器在大电压工作条件下的灵敏度较低。

[0003] 因此,需要开发一种具有较低漏电流和较高击穿电压的硅像素探测器,以提高其在大电压工作条件下的灵敏度。

发明内容

[0004] 合适的漏电流和击穿电压受到探测器表面边缘特性的影响,这对探测器的边缘设计提出了较高要求。本发明人通过在硅像素探测器的边缘(即在环状电流收集区的外围)增加多个以间距递增方式排布的环状保护结构,降低了环状电流收集区的漏电流并提高了击穿电压,从而提升了硅像素探测器在大电压工作条件下的灵敏度。

[0005] 本发明的目的是克服现有技术的缺点,提供一种硅像素探测器,该探测器具有较低漏电流和较高击穿电压。

[0006] 本发明的另一目的是提供所述硅像素探测器的制备方法。

[0007] 为了实现以上目的,本发明提供如下技术方案。

[0008] 一种硅像素探测器,包括由下至上依次层叠的以下结构:

[0009] 第一电极层;

[0010] 衬底,所述衬底上表面的浅表层形成有多个间隔分布的第一掺杂区,所述衬底下表面的浅表层形成为第二掺杂区;所述多个间隔分布的第一掺杂区形成为像素区、环状电流收集区和环状保护区;所述环状保护区和环状电流收集区内的多个所述第一掺杂区均为环状结构;所述环状电流收集区包围所述像素区,所述环状保护区包围在所述环状电流收集区;其中,所述环状保护区内的相邻所述第一掺杂区的间距由所述环状电流收集区指向所述环状保护区的方向呈递增趋势;

[0011] 氧化层,所述氧化层设置有多个凹槽;每个所述凹槽的底部一一对应地与每个所述第一掺杂区贯通;

[0012] 第二电极层,所述第二电极层填充所述凹槽;以及

[0013] 钝化层,所述钝化层覆盖所述第二电极层的上表面,且所述钝化层设置有多个窗口,所述窗口使所述像素区和所述环状电流收集区上方的第二电极层上表面裸露。

[0014] 本发明还提供所述硅像素探测器的制备方法,包括:

- [0015] 提供衬底；
- [0016] 在所述衬底的上表面形成氧化层；
- [0017] 刻蚀所述氧化层，以形成使所述衬底上表面裸露的多个凹槽；
- [0018] 通过所述凹槽向所述衬底上表面的浅表层进行离子注入，形成多个第一掺杂区，以及对所述衬底的下表面的浅表层进行离子注入以形成第二掺杂区；
- [0019] 在离子注入后，对所述衬底进行退火激活处理；
- [0020] 在所述凹槽内填充导电材料，形成第二电极层；
- [0021] 在所述第二掺杂区的下表面形成第一电极层；
- [0022] 形成覆盖所述第二电极层的钝化层；
- [0023] 刻蚀所述钝化层，从而在所述像素区和所述环状电流收集区的上方形成使所述第二电极层上表面裸露的多个窗口。
- [0024] 相比现有技术，本发明的有益效果：
- [0025] 本发明提供了一种硅像素探测器，通过在硅像素探测器的边缘（即在环状电流收集区的外围）增加多个以间距递增方式排布的环状保护结构（即第一掺杂区），降低了环状电流收集区的漏电流并提高了击穿电压，从而提升了硅像素探测器在高电压工作条件下的灵敏度。其中，通过增加多个以间距递增方式排布的环状保护结构来降低环状电流收集区的漏电流并提高击穿电压的原理如下：探测器工作时，环状电流收集区接地，环状保护区浮空；接地的环状电流收集区可降低像素阵列的漏电，浮空环状保护区内第一掺杂区以间距递增方式排布，因此其所在器件位置的边缘处的电势降落方式互不相同，具体表现为间距越大，电势降落越缓慢，从而使得在环状电流收集区靠近传感器边缘一侧结区附近的电场分布不同，降低了环状电流收集区的漏电流，提高了击穿电压。

附图说明

- [0026] 通过阅读下文优选实施方式的详细描述，各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的，而并不认为是对本发明的限制。而且在整个附图中，用相同的参考符号表示相同的部件。在附图中：
- [0027] 图1为本发明的硅像素探测器的俯视结构示意图。
- [0028] 图2为本发明的一个示例性硅像素探测器的局部剖面图。
- [0029] 图3为本发明的另一示例性硅像素探测器的局部剖面图。
- [0030] 图4为图3中方框部分的放大图。
- [0031] 图5为本发明的硅像素探测器（环状保护区内的第一掺杂区以间距递增方式排布）和现有的硅像素探测器（环状保护区内的第一掺杂区以相同间距方式排布）中的环状电流收集区的漏电效果对比图。
- [0032] 附图标记说明
- [0033] 100为第一电极层，200为衬底，201为第一掺杂区，202为第二掺杂区，300为氧化层，300a为栅氧化层，301为凹槽，400为第二电极层，500为钝化层，501为窗口。

具体实施方式

- [0034] 以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性

的,而非非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0035] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0036] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0037] 由于现有的硅像素探测器的漏电流较大且击穿电压较小,为此,本发明提供了一种改进型的硅像素探测器。下面将结合附图对本发明的硅像素探测器做详细说明。

[0038] 图1给出了本发明的硅像素探测器的俯视结构示意图。图2给出了本发明的一个示例性硅像素探测器的局部剖面图。具体地,如图1-2所示,本发明的硅像素探测器包括由下至上依次层叠的以下结构:第一电极层100;衬底200,所述衬底上表面的浅表层形成有多个间隔分布的第一掺杂区201,所述衬底下表面的浅表层形成为第二掺杂区202;所述多个间隔分布的第一掺杂区形成为像素区、环状电流收集区和环状保护区;所述环状保护区和环状电流收集区内的多个所述第一掺杂区均为环状结构;所述环状电流收集区包围所述像素区,所述环状保护区包围在所述环状电流收集区;其中,所述环状保护区内的相邻所述第一掺杂区的间距由所述环状电流收集区指向所述环状保护区的方向呈递增趋势;氧化层300,所述氧化层设置多个凹槽301;每个凹槽301的底部一一对应地与每个第一掺杂区201贯通;第二电极层400,第二电极层400填充所述凹槽;以及钝化层500,钝化层500覆盖所述第二电极层400的上表面,且钝化层500设置多个窗口501,窗口501使所述像素区和所述环状电流收集区上方的第二电极层上表面裸露。

[0039] 优选地,第一电极层100的材质为铝,厚度为600-800nm。第一电极层100也可以根据需要进行选择其他电极材料。

[0040] 优选地,衬底200为n型硅衬底。其电阻率可为5000-10000 $\Omega \cdot \text{cm}$ 。n型硅衬底的掺杂元素可为磷、砷元素,掺杂浓度可为 $4.3 \times 10^{11} \sim 9 \times 10^{11} \text{ atoms/cm}^3$,厚度可为400-700 μm 。

[0041] 优选地,第一掺杂区201为p+掺杂区,掺杂元素可为硼元素,掺杂浓度可为 1×10^{10} 至 $8 \times 10^{19} \text{ atoms/cm}^3$,掺杂深度可为1-2 μm 。本发明的多个第一掺杂区201的掺杂元素、掺杂浓度和掺杂深度相同。形成为像素区的多个第一掺杂区201的掺杂宽度可视像素尺寸而改变。形成为环状电流收集区的第一掺杂区201的掺杂宽度可为150-250 μm 。形成为环状保护区的多个第一掺杂区201的掺杂宽度均相同且可为20-30 μm 。

[0042] 在本发明的一些具体实施例中,所述像素区位于所述环状电流收集区内部,所述环状保护区包围在所述环状电流收集区外部。

[0043] 优选地,第二掺杂区202为n+掺杂区,掺杂元素可为磷元素,掺杂浓度可为 9×10^{11} 至 $3 \times 10^{19} \text{ atoms/cm}^3$,掺杂深度可为1-2 μm 。

[0044] 优选地,形成为所述环状保护区的第一掺杂区201的数量n为3到15个。

[0045] 优选地,所述递增的规律为等差数列;等差数列的公差d为2-4 μm 。优选地,所述环状保护区内的相邻第一掺杂区的间距遵循如下公式:

$$[0046] \quad S_m = 21.5\mu\text{m} + (m-1) \times 3\mu\text{m},$$

[0047] 其中,m为2-15的正整数;

[0048] S_m 代表第m个第一掺杂区与第m-1个第一掺杂区的间距,其中第m个第一掺杂区与第m-1个第一掺杂区相邻且更远离所述环状电流收集区。

[0049] 优选地,氧化层为氧化硅层;其厚度可为500-600nm。氧化层设置有多个凹槽301,每个凹槽301的底部一一对应地与每个所述第一掺杂区贯通。本发明对于凹槽301的宽度没有特别限制,只要小于对应的第一掺杂区201的宽度即可。在一些具体实施例中,氧化层300还包括:位于每个凹槽301底部的栅氧化层300a,栅氧化层300a设置有多个孔,每个所述孔的底部一一对应地与每个第一掺杂区201贯通。在一些具体实施例中,如图3和4所示,氧化层300还包括:位于氧化层300上表面的栅氧化层300a;以及位于每个凹槽301底部的栅氧化层300a,栅氧化层300a设置有多个孔,每个所述孔的底部一一对应地与每个第一掺杂区201贯通。位于凹槽301底部的栅氧化层可以减少离子注入时对第一掺杂区201的损伤。

[0050] 优选地,第二电极层400的材质为铝金属。优选地,第二电极层400充满并覆盖凹槽301。每个凹槽301上方的第二电极层部分的厚度为30-40 μm 。在所述像素区、环状电流收集区和环状保护区内,第一掺杂区201的宽度均比与其一一对应的凹槽301上方的第二电极层部分的宽度小5-20 μm ,使用此结构能降低环状保护区附近的电场,提高器件的击穿电压。在本发明中,每个第一掺杂区301上方的第二电极层部分互不连接。

[0051] 优选地,钝化层500为氮化硅层。钝化层500设置有多个使第二电极层400上表面裸露的窗口501。窗口501设置在所述像素区和所述环状电流收集区的上方,用于像素区以及环状电流收集区的电极接入。所述环状保护区被钝化层500覆盖。

[0052] 图5给出了本发明的硅像素探测器(环状保护区内的第一掺杂区以间距递增方式排布)和现有的硅像素探测器(环状保护区内的第一掺杂区以相同间距方式排布)中的环状电流收集区的漏电效果对比图。由图5可以看出,相比现有的硅像素探测器,本发明的硅像素探测器中的环状电流收集区的漏电流明显减小。

[0053] 本发明通过在硅像素探测器的边缘(即在环状电流收集区的外围)增加多个以间距递增方式排布的环状保护结构,降低了环状电流收集区的漏电流,进而提高了环状电流收集区的击穿电压,从而提升了硅像素探测器在高电压工作条件下的灵敏度。

[0054] 本发明还提供所述硅像素探测器的制备方法,包括如下步骤。

[0055] 首先,提供衬底200。

[0056] 然后,在衬底200的上表面形成氧化层300。

[0057] 在本发明中,可对所述衬底进行场氧生长,从而在所述衬底的上表面形成场氧化层300。

[0058] 之后,刻蚀所述氧化层300,以形成使衬底200上表面裸露的多个凹槽301。

[0059] 优选地,采用光刻工艺和刻蚀工艺进行刻蚀。其中,刻蚀工艺为湿法腐蚀工艺,腐蚀液为氢氟酸与氟化铵的混合液。

[0060] 之后,通过凹槽301向衬底200上表面的浅表层进行离子注入,形成多个第一掺杂区201,以及对衬底200的下表面的浅表层进行离子注入以形成第二掺杂区202。

- [0061] 在离子注入后,对衬底200进行退火激活处理。
- [0062] 然后,在所述凹槽内填充导电材料,形成第二电极层400。
- [0063] 优选地,采用溅射工艺、光刻工艺和湿法腐蚀工艺来形成第二电极层。在本发明的实施例中,湿法腐蚀工艺采用的腐蚀液为铝腐蚀液,为常规腐蚀工艺。
- [0064] 之后,在所述第二掺杂区的下表面形成第一电极层100。
- [0065] 优选地,采用溅射工艺来形成第一电极层。
- [0066] 接下来,形成覆盖第二电极层400的钝化层500。
- [0067] 最后,刻蚀钝化层500,从而在所述像素区和所述环状电流收集区的上方形成使第二电极层400上表面裸露的多个窗口501。
- [0068] 优选地,采用光刻工艺和干法刻蚀工艺进行刻蚀。
- [0069] 在本发明的优选实施方案中,在进行离子注入之前,在凹槽301的底部形成栅氧化层300a,并且栅氧化层300a不完全填充凹槽301;并且在退火激活处理后,刻蚀凹槽301里的栅氧化层300a,从而形成使第一掺杂区上表面裸露的多个孔。优选地,采用光刻工艺和刻蚀工艺进行刻蚀。其中,刻蚀工艺为湿法腐蚀工艺,腐蚀液为氢氟酸与氟化铵的混合液。
- [0070] 需要说明的是,氧化层300和栅氧化层300b的材质相同,因此可以合并称为氧化层。
- [0071] 优选地,可在形成所述第一电极层和第二电极层之后,或者在形成所述钝化层之后,对第一电极层和第二电极层进行退火激活处理。
- [0072] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

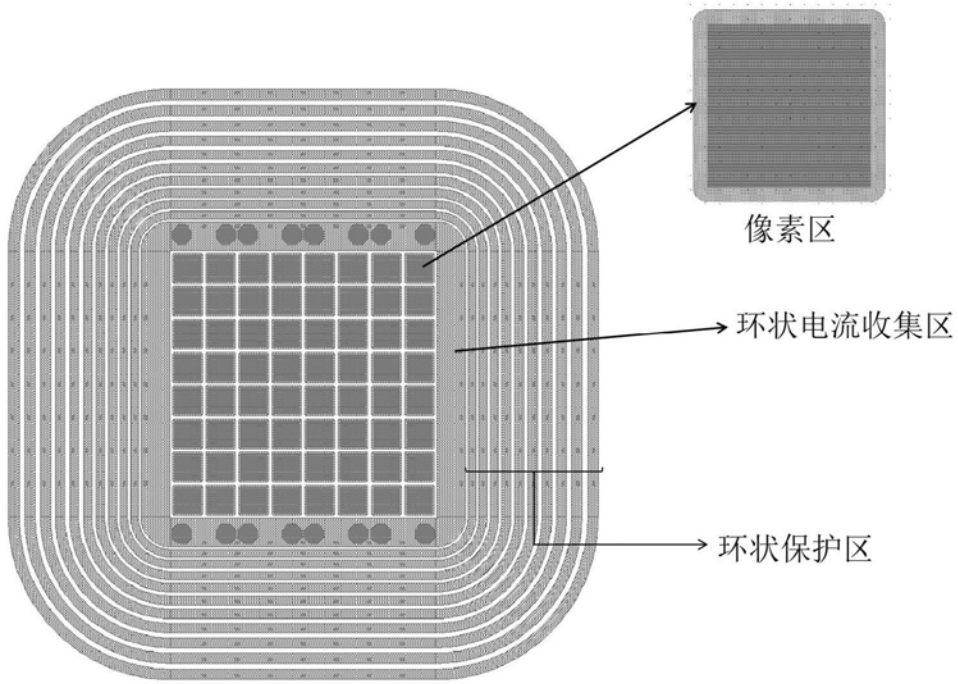


图1

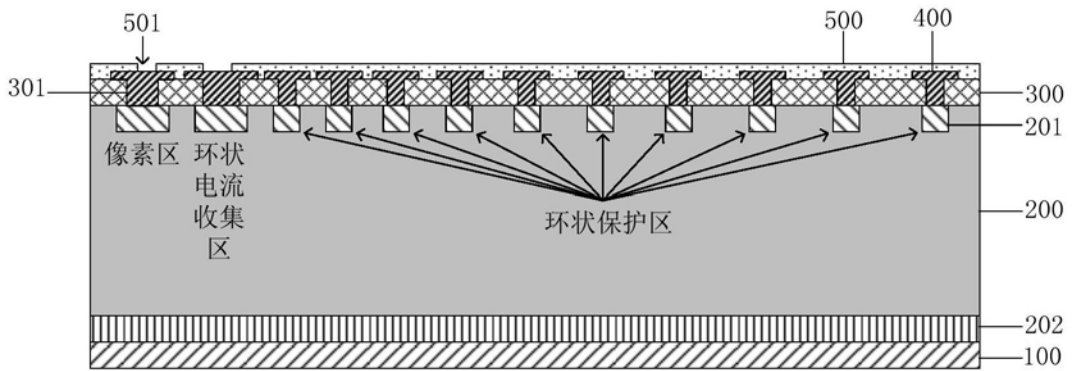


图2

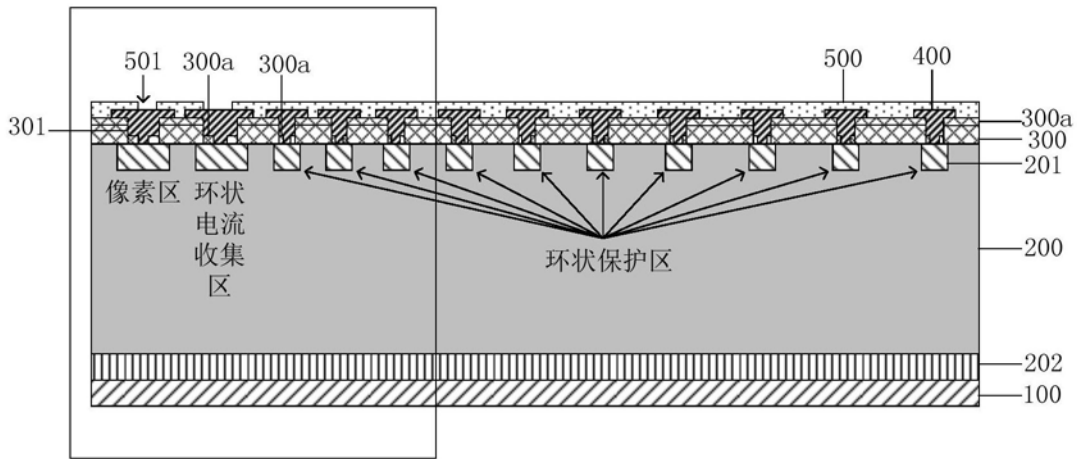


图3

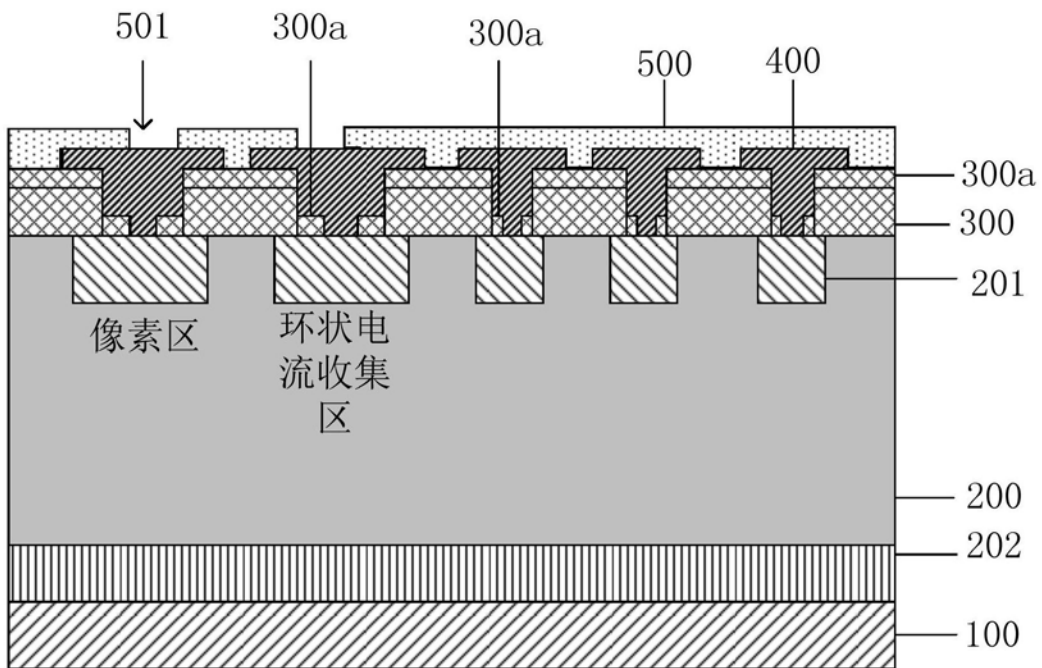


图4

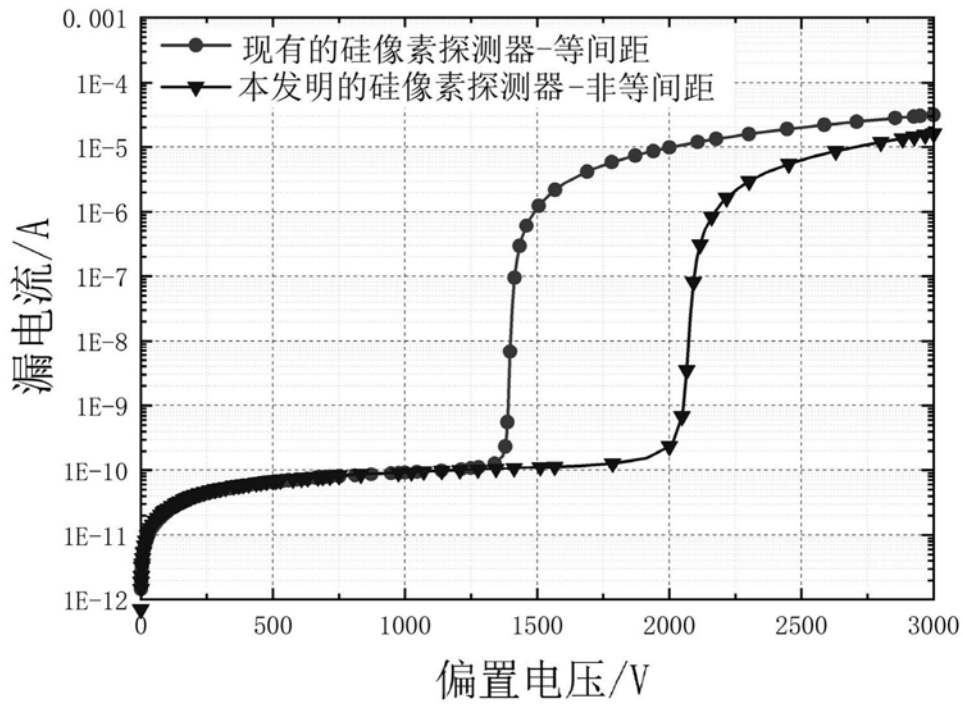


图5