



(12) 发明专利申请

(10) 申请公布号 CN 114167692 A

(43) 申请公布日 2022.03.11

(21) 申请号 202010948688.1

(22) 申请日 2020.09.10

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号
申请人 真芯(北京)半导体有限责任公司

(72) 发明人 梁时元 贺晓彬 丁明正 刘强

(74) 专利代理机构 北京辰权知识产权代理有限公司 11619
代理人 刘广达

(51) Int. Cl.
G03F 9/00 (2006.01)
H01L 23/544 (2006.01)
H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

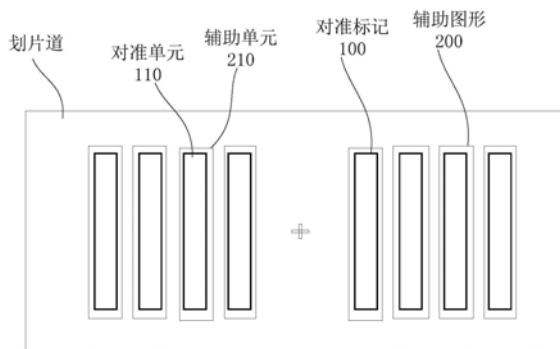
权利要求书1页 说明书4页 附图3页

(54) 发明名称

光刻对准结构、光刻对准方法、半导体存储器及电子设备

(57) 摘要

本公开提供一种光刻对准结构、光刻对准方法、半导体存储器及其制作方法、电子设备,所述光刻对准结构包括:形成在晶圆划片道上的对准单元;以及形成在所述对准单元上的用于平坦化的辅助单元,所述对准单元嵌套于所述辅助单元内。本公开提供的光刻对准结构,使得在多层光刻工艺中,下方工艺上形成的对准单元在其上方形成辅助图形的工艺之后也能使用。



1. 一种光刻对准结构,其特征在于,包括:
形成在晶圆划片道上的对准标记;以及
形成在所述对准标记上的用于平坦化的辅助图形,所述对准标记嵌套于所述辅助图形内。
2. 根据权利要求1所述的光刻对准结构,其特征在于,所述对准标记包括多个相互间隔的对准单元,每个所述对准单元在第一方向上彼此平行;
所述辅助图形包括多个相互间隔的辅助单元,所述辅助单元与所述对准单元一一对应,且所述对准单元嵌套于所述辅助单元内。
3. 根据权利要求2所述的光刻对准结构,其特征在于,所述辅助单元与所述对准单元的形状相同。
4. 根据权利要求3所述的光刻对准结构,其特征在于,所述辅助单元与所述对准单元两者相邻边之间的距离的范围为100纳米至500纳米。
5. 一种光刻对准方法,其特征在于,包括:
提供半导体晶圆;
在所述晶圆的划片道上形成对准标记;
在所述对准标记上形成用于平坦化的辅助图形,所述对准标记嵌套于所述辅助图形内;
通过测量所述对准标记以确定曝光位置。
6. 根据权利要求5所述的光刻对准方法,其特征在于,所述对准标记包括多个相互间隔的对准单元,每个所述对准单元在第一方向上彼此平行;
所述辅助图形包括多个相互间隔的辅助单元,所述辅助单元与所述对准单元一一对应,且所述对准单元嵌套于所述辅助单元内。
7. 一种半导体存储器的制作方法,其特征在于,包括权利要求5至6中任一项所述的光刻对准方法。
8. 一种根据权利要求7所述的制作方法制作的半导体存储器。
9. 一种电子设备,其特征在于,包括:
如权利要求8所述的半导体存储器。
10. 根据权利要求9所述的电子设备,其特征在于,包括智能电话、计算机、平板电脑、可穿戴智能设备、人工智能设备、移动电源。

光刻对准结构、光刻对准方法、半导体存储器及电子设备

技术领域

[0001] 本公开涉及半导体技术领域,具体涉及一种光刻对准结构、光刻对准方法、半导体存储器及其制作方法、电子设备。

背景技术

[0002] 半导体存储器制造过程中,光刻是一个重要的工艺流程,其通过涂覆光刻胶和曝光将设计的图形通过光刻胶复制到晶圆上。在光刻过程中,对准通常是在晶圆上设置对准标记。

[0003] 通过半导体制造工艺做出的晶圆,为了能够切割出单个的芯片,在晶圆上设置有划片道(scribe lane)。光刻用到的对准标记往往会设计在划片道中。在下一膜层工艺中,可能会用到平坦化工艺(例如化学机械研磨CMP),为了防止平坦化工艺受到影响,需要在划片道中形成辅助图形(dummy pattern),用以减少划片道中无图形区域,辅助图形常设置成四角形或条形,如图1所示。

[0004] 然而现有的辅助图形排列方式,将会使在之前的工艺上形成的对准标记无法使用。

发明内容

[0005] 本公开的目的是提供一种光刻对准结构、光刻对准方法、半导体存储器及其制作方法、电子设备。

[0006] 本公开第一方面提供一种光刻对准结构,包括:

[0007] 形成在晶圆划片道上的对准标记;以及

[0008] 形成在所述对准标记上的用于平坦化的辅助图形,所述对准标记嵌套于所述辅助图形内。

[0009] 本公开第二方面提供一种光刻对准方法,包括:

[0010] 提供半导体晶圆;

[0011] 在所述晶圆的划片道上形成对准标记;

[0012] 在所述对准标记上形成用于平坦化的辅助图形,所述对准标记嵌套于所述辅助图形内;

[0013] 通过测量所述对准标记以确定曝光位置。

[0014] 本公开第三方面提供一种半导体存储器的制作方法,包括:第二方面中所述的光刻对准方法。

[0015] 本公开第四方面提供一种根据第三方面所述的制作方法制作的半导体存储器。

[0016] 本公开第五方面提供一种电子设备,包括:

[0017] 如第四方面中所述的半导体存储器。

[0018] 本公开与现有技术相比的优点在于:

[0019] 本公开提供的光刻对准结构,使得在多层光刻工艺中,下方工艺上形成的对准标

记在其上方形成辅助图形的工艺之后也能使用。

附图说明

[0020] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本公开的限制。而且在整个附图中,用相同的参考符号表示相同的部件。在附图中:

[0021] 图1示出了现有技术中的在对准标记上形成的用于平坦化的辅助图形的示意图;

[0022] 图2示出了本公开所提供的一种光刻对准结构的示意图;

[0023] 图3A示出了图2中的单独的对准标记的示意图;

[0024] 图3B示出了图2中的单独的辅助图形的示意图;

[0025] 图4示出了本公开所提供的一种光刻对准方法的流程图。

具体实施方式

[0026] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0027] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0028] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0029] 为了解决现有技术中存在的问题,本公开实施例提供一种光刻对准结构、一种光刻对准方法、一种半导体存储器及其制作方法、一种电子设备,下面结合附图进行说明。

[0030] 图2示出了本公开所提供的一种光刻对准结构的示意图,如图2所示,该光刻对准结构包括:

[0031] 形成在晶圆划片道上的对准标记100;以及

[0032] 形成在对准标记100上的用于平坦化的辅助图形200,对准标记100嵌套于辅助图形200内。

[0033] 具体的,如图2所示,对准标记100包括多个相互间隔的对准单元110,每个对准单元110在第一方向上彼此平行。例如,对准单元110是条状长方形,所有长条形的对准单元110相互平行,如图2中,在中间还可以包括一个“十”图案,在“十”图案两个各4个对准单元110。图3A示出了图2中的单独的对准标记的示意图。

[0034] 具体的,如图2所示,辅助图形200包括多个相互间隔的辅助单元210,辅助单元210与对准单元110一一对应,且对准单元110嵌套于辅助单元210内。图3B示出了图2中的单独的辅助图形的示意图。

[0035] 优选的,辅助单元210与对准单元110的形状相同,如图2所示。当然辅助单元210与对准单元110的形状可以不相同,只需要满足辅助图形不影响对准标识使用即可。

[0036] 本实施例中,在多次光刻工艺中,对准标记100制作于下层膜层,用于上一层膜层的光刻对准,然而上一层需要进行平坦化,这时为了不影响对准标记100的使用,则将用于上一层膜层平坦化的辅助图形200制作成与对准标记100相同的形状,并且对准标记100嵌套于辅助图形200内,这样在上一层膜层光刻对准时,可以穿过辅助图形200找到对准标记100。

[0037] 优选的,辅助单元与对准单元两者相邻边之间的距离的范围为100纳米至500纳米。如图2所示,辅助单元210与对准单元110均为长方形,两者上下左右相邻边之间的间距 $100\text{nm} \leq d \leq 500\text{nm}$ 。

[0038] 本公开与现有技术相比的优点在于:

[0039] 本公开提供的光刻对准结构,使得在多层光刻工艺中,下层工艺上形成的对准标记在其上方形成辅助图形的工艺之后也能使用。

[0040] 图4示出了本公开所提供的一种光刻对准方法的流程图,如图4所示,该光刻对准方法,包括以下步骤:

[0041] 步骤S101:提供半导体晶圆。

[0042] 步骤S102:在晶圆的划片道上形成对准标记。

[0043] 步骤S103:在对准标记上形成用于平坦化的辅助图形,对准标记嵌套于辅助图形内。

[0044] 步骤S104:通过测量对准标记以确定曝光位置。

[0045] 具体的,如图2所示,在晶圆的划片道上形成对准标记100。以及在对准标记100上形成用于平坦化的辅助图形200,对准标记100嵌套于辅助图形200内。

[0046] 具体的,如图2所示,对准标记100包括多个相互间隔的对准单元110,每个对准单元110在第一方向上彼此平行。例如,对准单元110是条状长方形,所有长条形的对准单元110相互平行,如图2中,在中间还可以包括一个“十”图案,在“十”图案两个各4个对准单元110。图3A示出了图2中的单独的对准标记的示意图。

[0047] 具体的,如图2所示,辅助图形200包括多个相互间隔的辅助单元210,辅助单元210与对准单元110一一对应,且对准单元110嵌套于辅助单元210内。图3B示出了图2中的单独的辅助图形的示意图。

[0048] 优选的,辅助单元210与对准单元110的形状相同,如图2所示。当然辅助单元210与对准单元110的形状可以不相同,只需要满足辅助图形不影响对准标识使用即可。

[0049] 本实施例中,在多次光刻工艺中,对准标记100制作于下层膜层,用于上一层膜层的光刻对准,然而上一层需要进行平坦化,这时为了不影响对准标记100的使用,则将用于上一层膜层平坦化的辅助图形200制作成与对准标记100相同的形状,并且对准标记100嵌套于辅助图形200内,这样在上一层膜层光刻对准时,可以穿过辅助图形200找到对准标记100。

[0050] 优选的,辅助单元与对准单元两者相邻边之间的距离的范围为100纳米至500纳米。如图2所示,辅助单元210与对准单元110均为长方形,两者上下左右相邻边之间的间距 $100\text{nm} \leq d \leq 500\text{nm}$ 。

[0051] 本公开与现有技术相比的优点在于：

[0052] 本公开提供的光刻对准结构，使得在多层光刻工艺中，下层工艺上形成的对准标记在其上方形成辅助图形的工艺之后也能使用。

[0053] 本公开实施例还提供了一种半导体存储器的制作方法，该方法包括上述实施例中的光刻对准方法。

[0054] 本公开与现有技术相比的优点在于：

[0055] 本公开提供的光刻对准结构，使得在多层光刻工艺中，下层工艺上形成的对准标记在其上方形成辅助图形的工艺之后也能使用。

[0056] 本公开实施例还提供了一种半导体存储器，该半导体存储器是根据上述半导体存储器的制作方法制作的。该半导体存储器例如可以为动态随机存取存储器 (Dynamic Random Access Memory, DRAM)。

[0057] 本公开实施例还提供了一种电子设备，包括：

[0058] 本申请提供的半导体存储器。该半导体存储器被纳入到智能电话、计算机、平板电脑、可穿戴智能设备、人工智能设备、移动电源中的至少一者中。

[0059] 在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0060] 以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

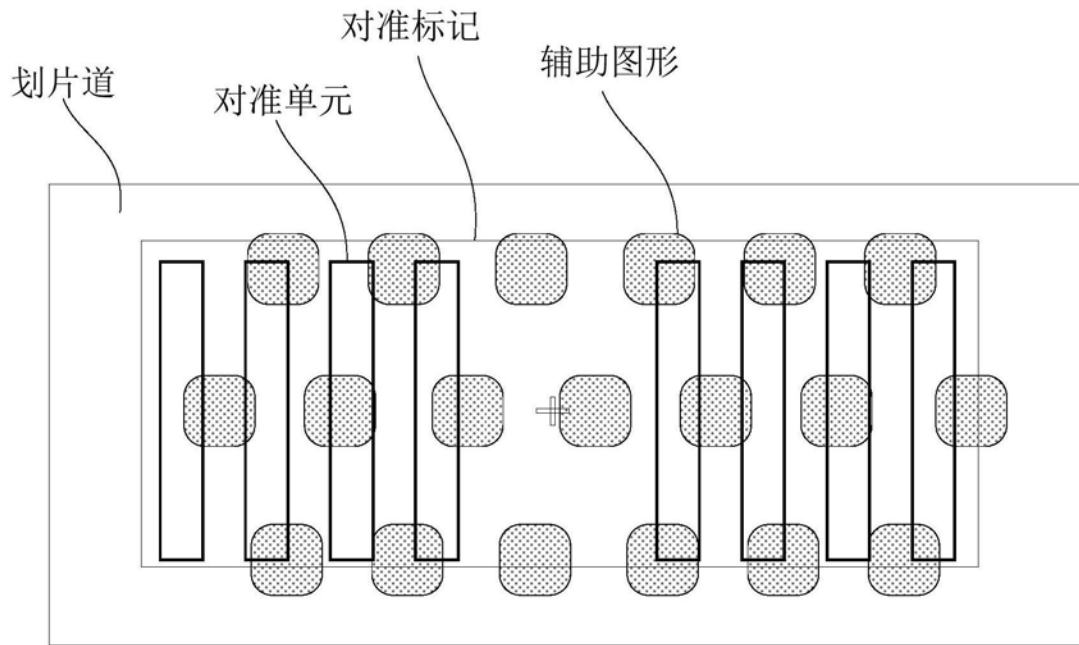


图1

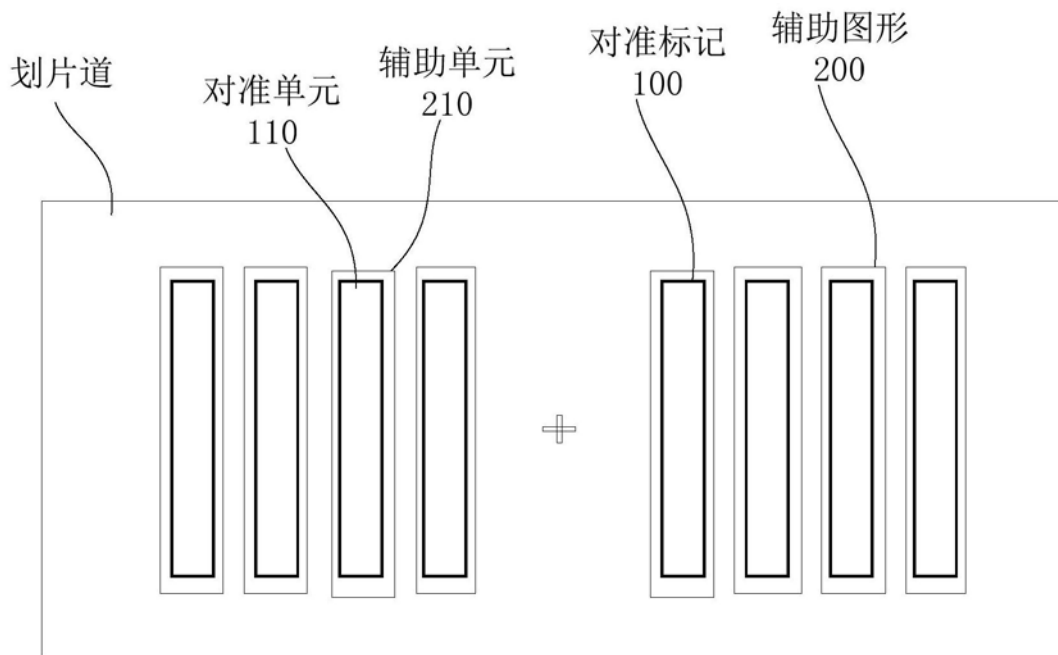


图2

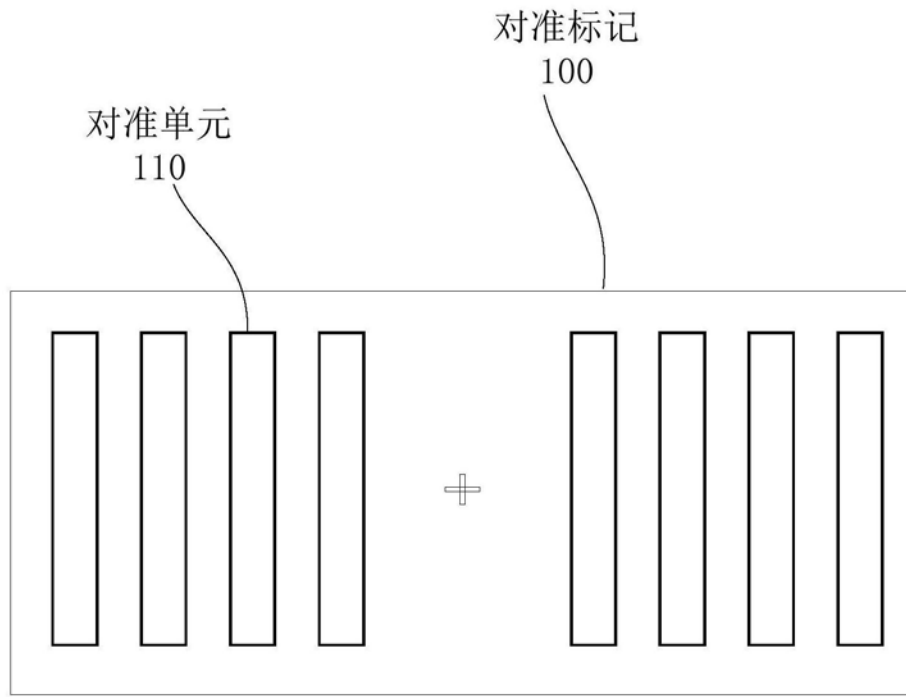


图3A

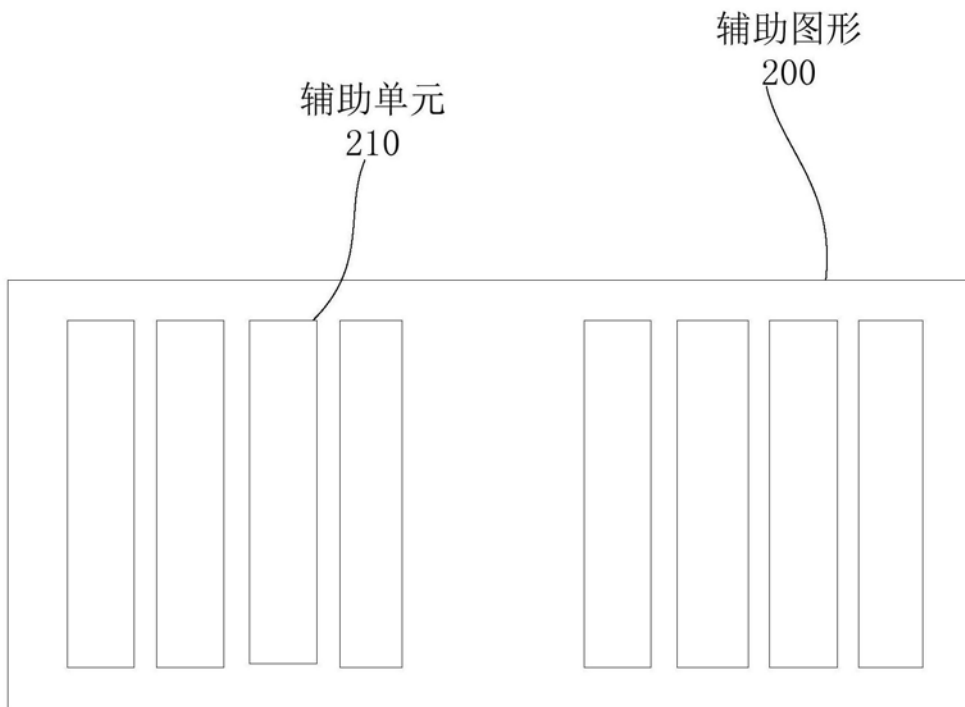


图3B

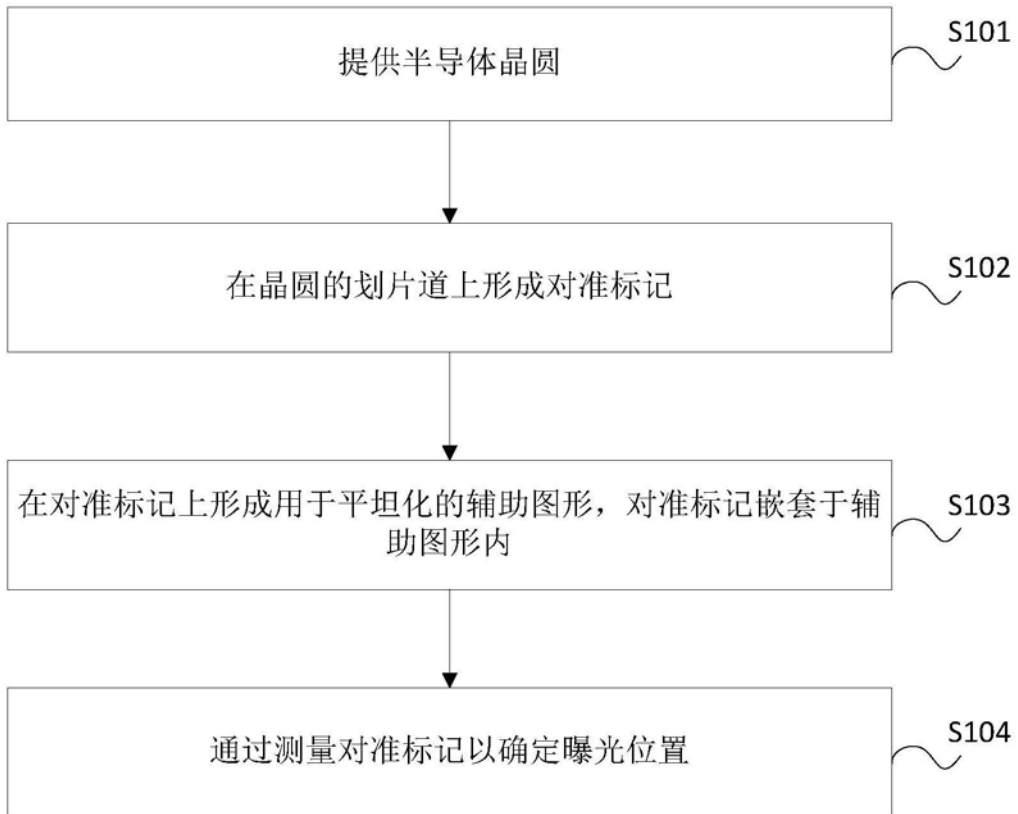


图4