



(12) 发明专利申请

(10) 申请公布号 CN 114171376 A

(43) 申请公布日 2022.03.11

(21) 申请号 202010945093.0

(22) 申请日 2020.09.10

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3号

申请人 真芯(北京)半导体有限责任公司

(72) 发明人 郭炳容 贺晓彬 刘金彪 李亭亭

(74) 专利代理机构 北京华沛德权律师事务所

11302

代理人 房德权

(51) Int. Cl.

H01L 21/033 (2006.01)

H01L 21/311 (2006.01)

H01L 49/02 (2006.01)

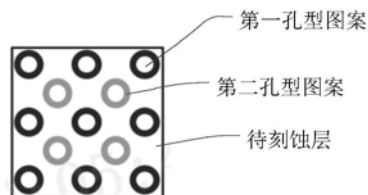
权利要求书2页 说明书6页 附图8页

(54) 发明名称

一种半导体的图形制造方法

(57) 摘要

本发明的半导体的图形制造方法,在待刻蚀层上形成第一条形图案和第二条形图案,并且在待刻蚀层上沉积预设材料后再进行平坦化处理,至第二条形图案露出之后,能够在两类条形图案重叠的区域先形成第一孔型图案,再在两类条形图案都不存在的待刻蚀层上形成第二孔型图案,进而得到不会短路连接的小间距图形。



1. 一种半导体的图形制造方法,其特征在于,包括:
提供半导体衬底,并在半导体衬底上形成待刻蚀层;
在所述待刻蚀层上形成第一条形图案和第二条形图案,其中,所述第一条形图案和所述第二条形图案交叉并形成交叉区域;
在所述待刻蚀层上沉积预设材料后再进行平坦化处理,至所述第二条形图案露出;
刻蚀所述第二条形图案,至所述交叉区域中的所述第一条形图案露出;
刻蚀所述交叉区域中的所述第一条形图案,至所述待刻蚀层露出;
继续刻蚀露出的所述待刻蚀层以形成第一孔型图案;
去除所述预设材料层至所述待刻蚀层露出;
刻蚀露出的所述待刻蚀层,以形成第二孔型图案。
2. 如权利要求1所述的方法,其特征在于,所述在所述待刻蚀层上形成第一条形图案和第二条形图案,具体包括:
在所述待刻蚀层上依次沉积所述第一材料层和所述第二材料层;
对所述第二材料层和所述第一材料层进行刻蚀,得到所述第一条形图案。
3. 如权利要求1所述的方法,其特征在于,所述在所述待刻蚀层上形成第一条形图案和第二条形图案,具体包括:
在所述待刻蚀层上依次沉积所述第三材料层和所述第四材料层;
基于和所述第一条形图案不同的方向对所述第四材料层和所述第三材料层进行刻蚀,得到所述第二条形图案;其中,所述第二条形图案相对于所述待刻蚀层的高度高于所述第一条形图案相对于所述待刻蚀层的高度。
4. 如权利要求1所述的方法,其特征在于,所述预设材料相对于所述待刻蚀层的高度高于所述第二条形图案相对于所述待刻蚀层的高度。
5. 如权利要求1所述的方法,其特征在于,所述刻蚀所述第二条形图案,至所述交叉区域中的所述第一条形图案露出,具体包括:
以所述预设材料为掩模,选择性刻蚀所述第二条形图案中的所述第四材料层;
以所述预设材料为所述掩模,选择性刻蚀所述第二条形图案中的部分所述第三材料层,至所述交叉区域中的所述第一条形图案露出。
6. 如权利要求5所述的方法,其特征在于,所述刻蚀所述交叉区域中的所述第一条形图案,至所述待刻蚀层露出,具体包括:
以所述预设材料和所述第二条形图案中的剩余第三材料层为所述掩模,选择性刻蚀所述交叉区域上裸露的所述第二材料层;
以所述预设材料和所述剩余第三材料层为所述掩模,选择性刻蚀所述交叉区域上裸露的所述第一材料层,至所述待刻蚀层露出。
7. 如权利要求6所述的方法,其特征在于,所述刻蚀露出的所述待刻蚀层,以形成第二孔型图案之后,所述方法还包括:
刻蚀所述待刻蚀层上剩余的所述第一条形图案和所述剩余第三材料层。
8. 如权利要求8所述的方法,其特征在于,所述刻蚀所述待刻蚀层上剩余的所述第一条形图案,具体包括:
以所述剩余第三材料层为所述掩模,选择性刻蚀所述待刻蚀层上剩余的所述第二材料

层；

以所述剩余第三材料层为所述掩模，选择性刻蚀所述待刻蚀层上剩余的所述第一材料层。

9. 如权利要求1所述的方法，其特征在于，所述第一条形图案和所述第二条形图案交叉形成的角度为 0° - 90° 。

10. 一种制造电容孔的方法，其特征在于，包括如上述权利要求1-9任一权项所述的方法，以及，

在形成的第一孔型图案和第二孔型图案内形成下电极；

刻蚀剩余的待刻蚀层；

在所述下电极内外形成电容介质层和上电极。

一种半导体的图形制造方法

技术领域

[0001] 本发明涉及半导体器件加工技术领域,尤其涉及一种半导体的图形制造方法。

背景技术

[0002] 为了在晶圆上形成半导体器件的结构,需要使用光刻工艺来形成各层的图形。典型的光刻工艺是设置光刻胶和在光刻胶上形成图形再刻蚀。然而,随着半导体器件尺寸的缩小,利用光刻工艺生成间隔较小的图形时,由于光学效应导致图形容易短路连接,利用光刻工艺制备小间距图形越来越困难。

发明内容

[0003] 鉴于上述问题,提出了本发明以便提供一种克服上述问题或者至少部分地解决上述问题的一种半导体的图形制造方法。

[0004] 本申请通过本申请的一实施例提供如下技术方案:

[0005] 一种半导体的图形制造方法,包括:

[0006] 提供半导体衬底,并在半导体衬底上形成待刻蚀层;

[0007] 在所述待刻蚀层上形成第一条形图案和第二条形图案,其中,所述第一条形图案和所述第二条形图案交叉并形成交叉区域;

[0008] 在所述待刻蚀层上沉积预设材料后再进行平坦化处理,至所述第二条形图案露出;

[0009] 刻蚀所述第二条形图案,至所述交叉区域中的所述第一条形图案露出;

[0010] 刻蚀所述交叉区域中的所述第一条形图案,至所述待刻蚀层露出;

[0011] 继续刻蚀露出的所述待刻蚀层以形成第一孔型图案;

[0012] 去除所述预设材料层至所述待刻蚀层露出;

[0013] 刻蚀露出的所述待刻蚀层,以形成第二孔型图案。

[0014] 可选的,所述在所述待刻蚀层上形成第一条形图案和第二条形图案,具体包括:

[0015] 在所述待刻蚀层上依次沉积所述第一材料层和所述第二材料层;

[0016] 对所述第二材料层和所述第一材料层进行刻蚀,得到所述第一条形图案。

[0017] 可选的,所述在所述待刻蚀层上形成第一条形图案和第二条形图案,具体包括:

[0018] 在所述待刻蚀层上依次沉积所述第三材料层和所述第四材料层;

[0019] 基于和所述第一条形图案不同的方向对所述第四材料层和所述第三材料层进行刻蚀,得到所述第二条形图案;其中,所述第二条形图案相对于所述待刻蚀层的高度高于所述第一条形图案相对于所述待刻蚀层的高度。

[0020] 可选的,所述预设材料相对于所述待刻蚀层的高度高于所述第二条形图案相对于所述待刻蚀层的高度。

[0021] 可选的,所述刻蚀所述第二条形图案,至所述交叉区域中的所述第一条形图案露出,具体包括:

- [0022] 以所述预设材料为掩模,选择性刻蚀所述第二条形图案中的所述第四材料层;
- [0023] 以所述预设材料为所述掩模,选择性刻蚀所述第二条形图案中的部分所述第三材料层,至所述交叉区域中的所述第一条形图案露出。
- [0024] 可选的,所述刻蚀所述交叉区域中的所述第一条形图案,至所述待刻蚀层露出,具体包括:
- [0025] 以所述预设材料和所述第二条形图案中的剩余第三材料层为所述掩模,选择性刻蚀所述交叉区域上裸露的所述第二材料层;
- [0026] 以所述预设材料和所述剩余第三材料层为所述掩模,选择性刻蚀所述交叉区域上裸露的所述第一材料层,至所述待刻蚀层露出。
- [0027] 可选的,所述刻蚀露出的所述待刻蚀层,以形成第二孔型图案之后,所述方法还包括:
- [0028] 刻蚀所述待刻蚀层上剩余的所述第一条形图案和所述剩余第三材料层。
- [0029] 可选的,所述刻蚀所述待刻蚀层上剩余的所述第一条形图案,具体包括:
- [0030] 以所述剩余第三材料层为所述掩模,选择性刻蚀所述待刻蚀层上剩余的所述第二材料层;
- [0031] 以所述剩余第三材料层为所述掩模,选择性刻蚀所述待刻蚀层上剩余的所述第一材料层。
- [0032] 可选的,所述第一条形图案和所述第二条形图案交叉形成的角度为 0° - 90° 。
- [0033] 本发明还公开了一种制造电容孔的方法,包括上述任一技术方案所述的方法,以及,
- [0034] 在形成的第一孔型图案和第二孔型图案内形成下电极;
- [0035] 刻蚀剩余的待刻蚀层;
- [0036] 在所述下电极内外形成电容介质层和上电极。
- [0037] 本申请实施例中提供的一个或多个技术方案,至少具有如下技术效果或优点:
- [0038] 本发明的半导体的图形制造方法,在待刻蚀层上形成第一条形图案和第二条形图案,并且在待刻蚀层上沉积预设材料后再进行平坦化处理,至第二条形图案露出之后,能够在两类条形图案重叠的区域先形成第一孔型图案,再在两类条形图案都不存在的待刻蚀层上形成第二孔型图案,进而得到不会短路连接的小间距图形。

附图说明

- [0039] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。
- [0040] 图1示出了本发明实施例中半导体中孔型图案的示意图。
- [0041] 图2示出了本发明实施例中剖视方向示意图。
- [0042] 图3-图14示出了本发明实施例中孔型图案的俯视示意图。
- [0043] 图3A-图14A示出了本发明实施例中沿孔型图案的俯视图上11方向的剖视图。
- [0044] 图3B-图14B示出了本发明实施例中沿孔型图案的俯视图上22方向的剖视图。

具体实施方式

[0045] 下面将参照附图更详细地描述本公开的示例性实施例。虽然附图中显示了本公开的示例性实施例，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施例所限制。相反，提供这些实施例是为了能够更透彻地理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

[0046] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0047] 在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

[0048] 本发明第一实施例提供一种半导体的图形制造方法，其目的是为了制作不会短路连接的小间距图形。参看图1，是制作得到的小间距图形的示意图。而在具体的制作过程中，在沉积各材料层后再进行选择刻蚀，例如选择比为8:1，能够在两类条形图案重叠的区域先形成第一孔型图案，再在两类条形图案都不存在的待刻蚀层上形成第二孔型图案。

[0049] 值得注意的是，本实施例中各材料层所用的材料可以为流动碳、SiON、SiO₂，多晶硅，SiN等等。例如，下述实施例中的第一材料层和第三材料层可选用流动碳，第二材料层和第四材料层可选用SiON。预设材料可选用多晶硅。当然也可以有其他选择，在此本申请不做限制。

[0050] 而值得注意的是，为了说明和解释本发明，会示出执行各步骤后半导体的示例图供参考。具体的，图3-图14是半导体的俯视图。图3A-图14A是沿孔型图案的俯视图上11方向的剖视图，图3B-图14B是沿孔型图案的俯视图上22方向的剖视图。而本实施例中的所有刻蚀方式可以是物理或化学刻蚀，例如干法刻蚀、湿法刻蚀等等，对于刻蚀方式并不做限制。

[0051] 下面对本实施例的半导体的图形制造方法进行详细的工艺描述。

[0052] 提供半导体衬底，并在半导体衬底上形成待刻蚀层，在待刻蚀层上形成第一条形图案和第二条形图案。

[0053] 具体来讲，第一条形图案的数量本实施例不做限制，而所有第一条形图案都是相互平行的，并且都是沿着第一方向形成的条形图案，参看图3和图3A。当然第一方向也可以是其他方向，附图仅为示例。进一步的，在待刻蚀层上依次沉积第一材料层和第二材料层。再对第二材料层和第一材料层进行选择刻蚀，得到第一条形图案。第一条形图案中的从下到上包括：第一材料层和第二材料层。

[0054] 而对于第二条形图案来说，第二条形图案的数量本实施例不做限制，而所有第二条形图案都是相互平行的。其中，第一条形图案和第二条形图案交叉并形成交叉区域。进一步的，第一条形图案和第二条形图案交叉形成的角度为0°-90°，例如可选择垂直角度90°。

[0055] 具体的，在待刻蚀层上依次沉积第三材料层和第四材料层。而由于是在待刻蚀层上已经具有第一条形图案的基础上进行沉积，故沉积的第二条形图案相对于待刻蚀层的高

度高于第一条形图案相对于待刻蚀层的高度。然后基于和第一条形图案不同的方向对第四材料层和第三材料层进行刻蚀,得到第二条形图案。例如在第一条形图案垂直的方向进行刻蚀。而得到的第二条形图案会覆盖部分第一条形图案,覆盖的区域即为交叉区域。第二条形图案中的从下到上包括:第三材料层和第四材料层。

[0056] 若第一材料层和第三材料层都选用流动碳,但是其组分百分比可以不同。同理,第二材料层和第四材料层的材料若都选用SiON,则其组分百分比可以不同。进而在刻蚀各材料层时可选择对应的刻蚀选择比进行刻蚀,得到两种不同方位的条形图案。

[0057] 此时,在待刻蚀层上的区域分为三个部分:两类条形图案交叉得到的交叉区域,两类条形图案各自所覆盖的覆盖区域(排除交叉区域),待刻蚀层上未被两类条形图案覆盖的区域(未覆盖区域)。

[0058] 在此基础上,在待刻蚀层上沉积预设材料后再进行平坦化处理,至第二条形图案露出。

[0059] 具体的,在待刻蚀层上沉积预设材料时,预设材料会将待刻蚀层、第一条形图案和第二条形图案全覆盖,并且预设材料相对于待刻蚀层的高度高于第二条形图案相对于待刻蚀层的高度。

[0060] 其中,由于在待刻蚀层上沉积预设材料之后,第二条形图案上的上也覆盖有预设材料,故在平坦化处理时,会刻蚀预设材料直到其相对于待刻蚀层的高度和第二条形图案相对于待刻蚀层的高度相同,至第二条形图案露出为止。

[0061] 刻蚀第二条形图案,至交叉区域中的第一条形图案露出。

[0062] 具体来讲,由于第二条形图案从上至下包括第四材料层和第三材料层。故在刻蚀的过程中,以预设材料为掩模,选择性刻蚀第二条形图案中的第四材料层,再以预设材料为掩模,选择性刻蚀第二条形图案中的部分第三材料层,至交叉区域中的第一条形图案露出。

[0063] 刻蚀交叉区域中的第一条形图案,至待刻蚀层露出。

[0064] 具体来讲,将第二条形图案刻蚀之后,交叉区域中裸露是第一条形图案的第二材料层。而交叉区域中从上到下依次为第二材料层、第一材料层和交叉区域中的待刻蚀层。故,在刻蚀时,以预设材料和第二条形图案中的剩余第三材料层为掩模,选择性刻蚀交叉区域上裸露的第二材料层,再以预设材料和剩余第三材料层为掩模,选择性刻蚀交叉区域上裸露的第一材料层,至待刻蚀层露出。

[0065] 若第一材料层和第三材料层都采用相同物质(例如流动碳),则在选择性刻蚀交叉区域上裸露的第一材料层时,也可能会刻蚀第三材料层,使第三材料层相对待刻蚀层的高度变低。但由于第一材料层本身的厚度小于其周围的第三材料层的厚度,因此当刻蚀掉交叉区域上裸露的第一材料层时,待刻蚀层上可能会存留一部分第三材料层。若第一材料层和第三材料层采用不同物质,则在刻蚀交叉区域上裸露的第一材料层时不会影响周围的第三材料层。

[0066] 继续刻蚀露出的待刻蚀层以形成第一孔型图案。此时,交叉区域中露出的待刻蚀层也会被刻蚀一部分,但是交叉区域中的待刻蚀层的刻蚀深度小于原本半导体衬底上形成的待刻蚀层的厚度,以避免蚀穿待刻蚀层。而待刻蚀层的具体刻蚀厚度根据实际情况而定,在此不做限制。而本实施例的孔型图案可以是圆形、方形等等形状。

[0067] 可见,本实施例实际上仅仅是在第一条形图案和第二条形图案的交叉区域从上到

下刻蚀出第一孔型图案,各交叉区域的连接处此时仍旧被覆盖着,因此各第一孔型图案相互之间不会短路连接,进而得到不会短路连接的小间距图形。

[0068] 在刻蚀出第一孔型图案之后,从截面看,未覆盖区域中预设材料相对于待刻蚀层的高度和剩余第三材料层相对于待刻蚀层的高度相同,并且整个待刻蚀层是由预设材料覆盖的。

[0069] 此时,去除预设材料层至待刻蚀层露出,并刻蚀露出的待刻蚀层,以形成第二孔型图案。此时,未覆盖区域中的待刻蚀层也会刻蚀一部分,但是未覆盖区域中的待刻蚀层的刻蚀深度小于原本半导体衬底上形成的待刻蚀层的厚度,避免蚀穿待刻蚀层。而待刻蚀层的具体刻蚀厚度根据实际情况而定,在此不做限制。而本实施例的孔型图案可以是圆形、方形等等形状。

[0070] 值得注意的是,虽然是在待刻蚀层上成行两类孔,而为了便于分辨第一孔型图案、第二孔型图案和待刻蚀层,本实施例的两类孔型图案使用了不同的颜色区分,具体参看附图。

[0071] 可见,在具有第一孔型图案的基础上,本实施例还能够在未覆盖区域从上到下刻蚀出第二孔型图案,使图形之间的间距进一步缩小,以形成尺寸小于光刻分辨率极限的图形。并且由于待刻蚀层上的残存的部分第一条形图案和剩余第三材料层的阻挡作用,能够避免在刻蚀时和第一孔型图案产生短路连接,进而得到不会短路连接的小间距图形。

[0072] 在得到两类孔型图案之后,本实施例还会刻蚀待刻蚀层上剩余的第一条形图案和剩余第三材料层,如此就完成了整个待刻蚀层上的刻蚀,并且得到了不会短路连接的小间距图形。具体的,相对于待刻蚀层上剩余的第一条形图案来说,以剩余第三材料层为掩模,选择性刻蚀待刻蚀层上剩余的第二材料层,再以剩余第三材料层为掩模,选择性刻蚀待刻蚀层上剩余的第一材料层。

[0073] 以上实施例中描述的是半导体的图形制造方法的工艺流程,以此为基础,本发明实施例还公开了一种制造电容孔的方法,包括上述任一实施例中描述的内容,以及以下过程:在形成的第一孔型图案和第二孔型图案内形成下电极,刻蚀剩余的待刻蚀层,在下电极内外形成电容介质层和上电极。

[0074] 上述本申请实施例中的技术方案,至少具有如下的技术效果或优点:

[0075] 本发明的半导体的图形制造方法,在待刻蚀层上形成第一条形图案和第二条形图案,并且在待刻蚀层上沉积预设材料后再进行平坦化处理,至第二条形图案露出之后,能够在两类条形图案重叠的区域先形成第一孔型图案,再在两类条形图案都不存在的待刻蚀层上形成第二孔型图案,进而得到不会短路连接的小间距图形。

[0076] 以上工艺可以用于制备DRAM制造工艺的电容孔状图形以及Vertical NAND的沟道孔状图形,及其他半导体器件中需要制备小间距孔状图形的工艺。

[0077] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0078] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造

性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0079] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

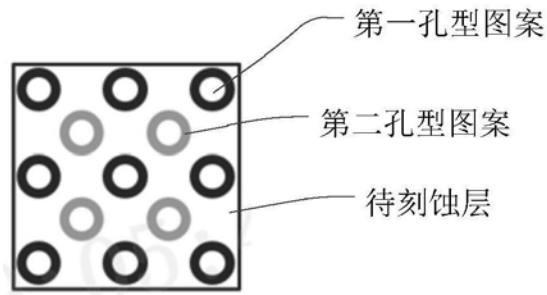


图1

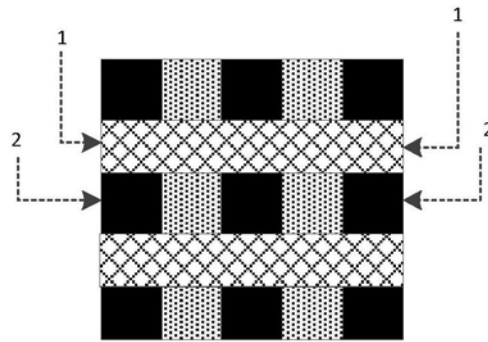
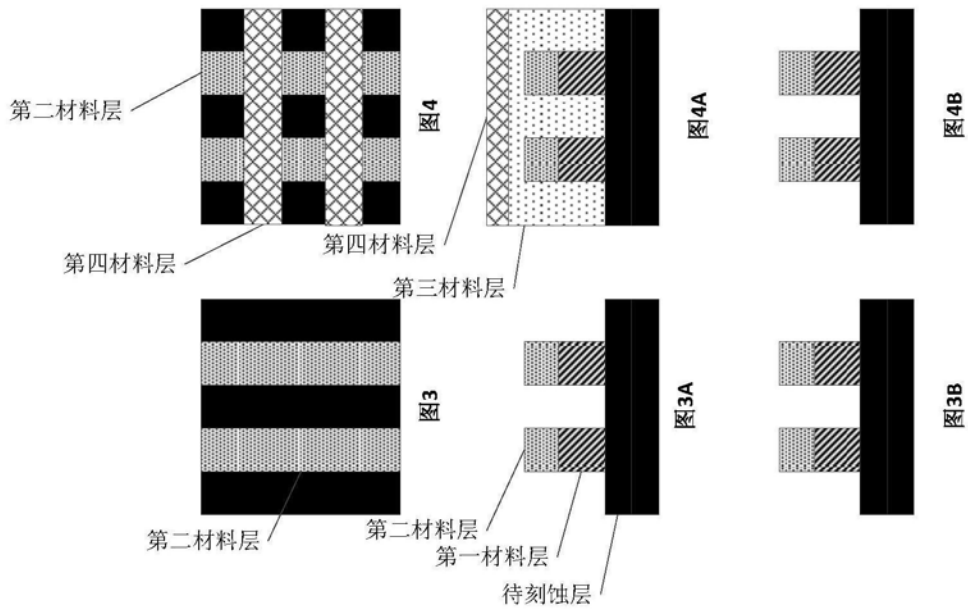


图2



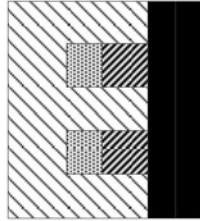
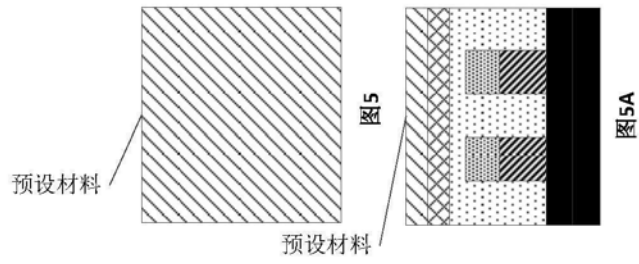


图5B

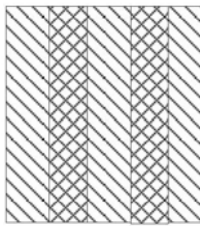


图6

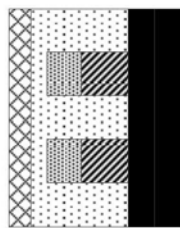


图6A

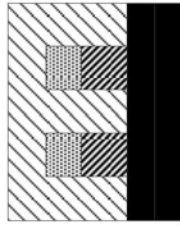


图6B

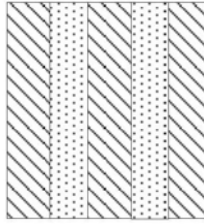


图7

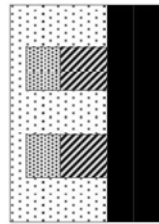


图7A

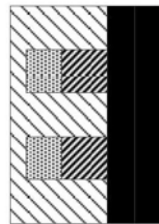


图7B

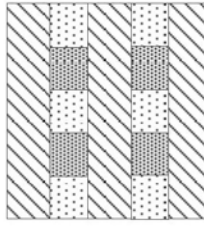


图8

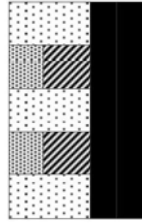


图8A

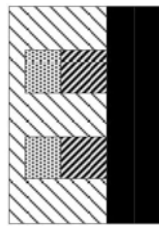


图8B

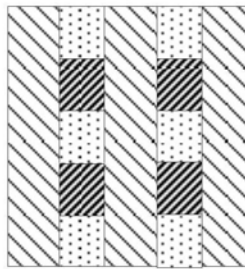


图9

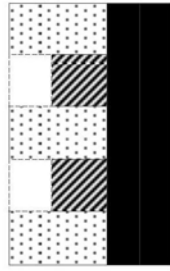


图9A

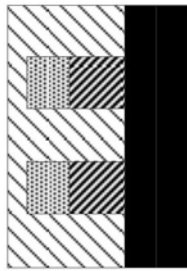


图9B

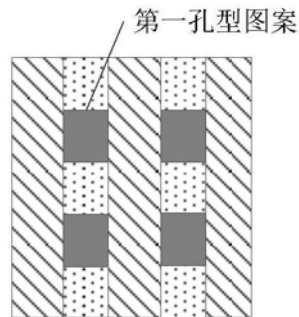


图10

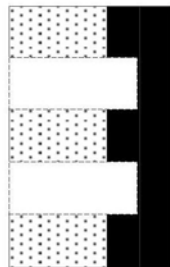


图10A

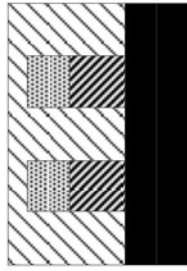


图10B

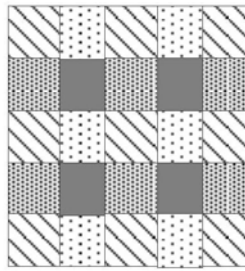


图11

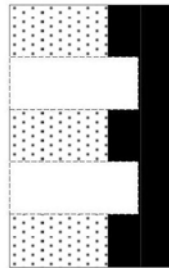


图11A

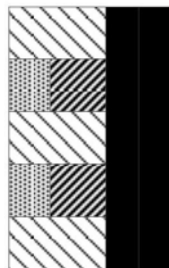


图11B

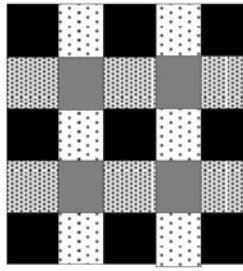


图12

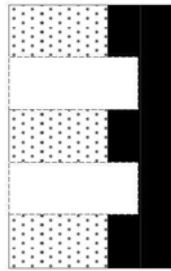


图12A

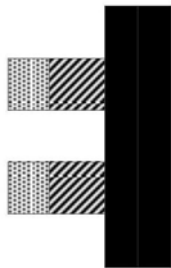


图12B

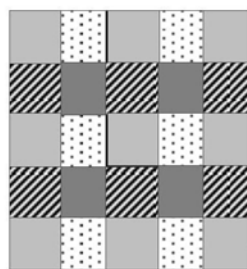


图13

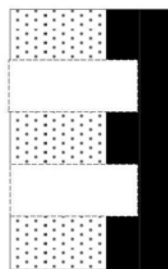


图13A

第二孔型图案

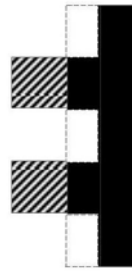


图13B

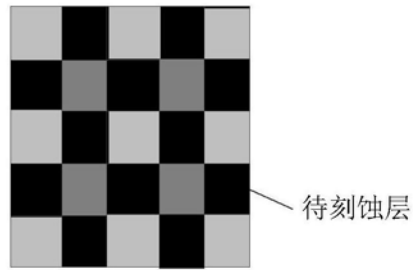


图14



图14A



图14B