



(12) 发明专利申请

(10) 申请公布号 CN 114188472 A

(43) 申请公布日 2022. 03. 15

(21) 申请号 202111492420.2

H01L 39/06 (2006.01)

(22) 申请日 2021.12.08

H01L 39/22 (2006.01)

(71) 申请人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路865号

(72) 发明人 应利良 张雪 何桂香 任洁 彭炜

(74) 专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 贺妮妮

(51) Int. Cl.

H01L 39/24 (2006.01)

H01L 23/64 (2006.01)

H01L 27/18 (2006.01)

H01L 39/02 (2006.01)

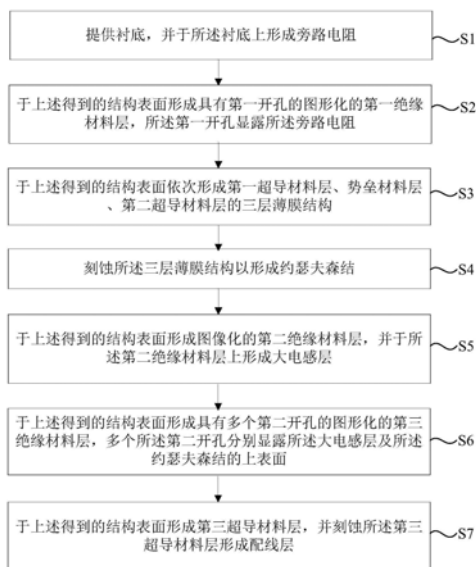
权利要求书2页 说明书8页 附图5页

(54) 发明名称

具有大电感层的超导电路及其制备方法

(57) 摘要

本发明提供一种具有大电感层的超导电路及其制备方法,该超导电路包括:衬底;形成于衬底上的旁路电阻;形成于旁路电阻上的约瑟夫森结;形成于约瑟夫森结上的大电感层;形成于大电感层上的配线层;绝缘材料层,分别将旁路电阻、约瑟夫森结、大电感层及配线层电学隔离。该超导电路利用原配线层的中小电感设计中,再设计加入一层专门的大电感层应用于需要大电感的超导电路中,有效扩大了超导电路中的电感大小范围,拓宽了超导电路的应用场景,提高超导电路的集成度;另外,特定材料的大电感层同时还可以用作大电阻层,从而可进一步提升超导电路的集成度。



1. 一种具有大电感层的超导电路的制备方法,其特征在于,所述制备方法包括:
  - 1) 提供衬底,并于所述衬底上形成旁路电阻;
  - 2) 于上述得到的结构表面形成具有第一开孔的图形化的第一绝缘材料层,所述第一开孔显露所述旁路电阻;
  - 3) 于上述得到的结构表面依次形成第一超导材料层、势垒材料层、第二超导材料层的三层薄膜结构;
  - 4) 从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结;
  - 5) 于上述得到的结构表面形成图形化的第二绝缘材料层,并于所述第二绝缘材料层上形成大电感层;
  - 6) 于上述得到的结构表面形成具有多个第二开孔的图形化的第三绝缘材料层,多个所述第二开孔分别显露所述大电感层及所述约瑟夫森结的上表面;
  - 7) 于上述得到的结构表面形成第三超导材料层,并刻蚀所述第三超导材料层形成配线层。
2. 根据权利要求1所述的具有大电感层的超导电路的制备方法,其特征在于,步骤7)之后还包括:
  - 8) 于步骤7)得到的结构表面形成第四绝缘材料层,并对所述第四绝缘材料层进行图形化;
  - 9) 于上述得到的结构表面形成第四超导材料层,并刻蚀所述第四超导材料层形成接地层。
3. 根据权利要求1所述的具有大电感层的超导电路的制备方法,其特征在于,步骤5)还包括:刻蚀所述第二绝缘材料层形成第三开孔,所述第三开孔显露所述约瑟夫森结的上表面。
4. 根据权利要求1所述的具有大电感层的超导电路的制备方法,其特征在于:所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。
5. 一种具有大电感层的超导电路的制备方法,其特征在于,所述制备方法包括:
  - 1) 提供衬底,并于所述衬底上分别形成旁路电阻及大电感层;
  - 2) 于上述得到的结构表面形成具有多个第一开孔的第一绝缘材料层,多个所述第一开孔分别显露所述旁路电阻及所述大电感层;
  - 3) 于上述得到的结构表面依次形成第一超导材料层、势垒材料层、第二超导材料层的三层薄膜结构;
  - 4) 从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结;
  - 5) 于上述得到的结构表面形成具有第二开孔的第二绝缘材料层,所述第二开孔显露所述约瑟夫森结的上表面;
  - 6) 于上述得到的结构表面形成第三超导材料层,并刻蚀所述第三超导材料层形成配线层。
6. 根据权利要求5所述的具有大电感层的超导电路的制备方法,其特征在于,步骤6)之后还包括:
  - 7) 于步骤6)得到的结构表面形成第三绝缘材料层,并对所述第三绝缘材料进行图形化;

8) 于上述得到的结构表面形成第四超导材料层,并刻蚀所述第四超导材料层形成接地层。

7. 根据权利要求5所述的具有大电感层的超导电路的制备方法,其特征在于:所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。

8. 一种具有大电感层的超导电路,其特征在于,所述超导电路包括:

衬底;

形成于所述衬底上的旁路电阻;

形成于所述旁路电阻上的约瑟夫森结;

形成于所述约瑟夫森结上的大电感层;

形成于所述大电感层上的配线层;

绝缘材料层,分别将所述旁路电阻、所述约瑟夫森结、所述大电感层及所述配线层电学隔离。

9. 根据权利要求8所述的具有大电感层的超导电路,其特征在于,还包括:形成于所述配线层上的接地层,所述绝缘层还将所述接地层电学隔离。

10. 根据权利要求8所述的具有大电感层的超导电路,其特征在于:所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。

11. 一种具有大电感层的超导电路,其特征在于,所述超导电路包括:

衬底;

形成于所述衬底上的旁路电阻及大电感层;

形成于所述旁路电阻及所述大电感层上的约瑟夫森结;

形成于所述约瑟夫森结上的配线层;

绝缘材料层,分别将所述旁路电阻、所述约瑟夫森结、所述大电感层及所述配线层电学隔离。

12. 根据权利要求11所述的具有大电感层的超导电路,其特征在于,还包括:形成于所述配线层上的接地层,所述绝缘层还将所述接地层电学隔离。

13. 根据权利要求11所述的具有大电感层的超导电路,其特征在于:所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。

## 具有大电感层的超导电路及其制备方法

### 技术领域

[0001] 本发明涉及超导电路设计技术领域,特别是涉及一种具有大电感层的超导电路及其制备方法。

### 背景技术

[0002] 超导电路包括超导量子干涉器(SQUID),单磁通量子器件(SFQ)等应用超导约瑟夫森结的电路。

[0003] 超导量子干涉器件(superconducting quantum interference device,SQUID)是基于约瑟夫森效应和磁通量子化原理的超导量子器件,它的基本结构是在超导环中插入两个约瑟夫森结,SQUID是目前已知的最灵敏的磁通探测传感器,典型的SQUID器件的磁通噪声在 $\mu\Phi_0/\text{Hz}^{1/2}$ 量级( $1\Phi_0=2.07\times 10^{-15}\text{Wb}$ ),其磁场噪声在 $\text{fT}/\text{Hz}^{1/2}$ 量级( $1\text{fT}=1\times 10^{-15}\text{T}$ ),由于其具有极高的灵敏度,可广泛应用于医学心磁脑磁、材料探测、地球磁场、军事、地震和考古等各方面,用其制备的磁通显微镜可从事基础研究。

[0004] 单磁通量子器件(Single Flux Quantum,SFQ)是利用约瑟夫森结内的单个磁通量子来表示逻辑“1”和“0”的超导电路技术。以此为基础的超导数字电路时钟频率可达770GHz,可用于雷达和通信系统的超宽带模数/数模转换器、宽带网络交换器、射电天文的数字式自相关器以及超导计算机等。因其具有速度快、功耗低等优点,目前美国和日本均投入巨资进行战略研究。

[0005] 超导电路一般由约瑟夫森结和一些电阻、电感等相互搭配组成。目前,超导电路集成度提升的方法有很多种,通常各国研究者主要聚焦于降低约瑟夫森结尺寸和提升其临界电流密度。但实际上超导集成电路里最大限制集成度不是约瑟夫森结,而是并联电阻和电感。现在已经有一些单位在研究自并联的约瑟夫森结,其可去除并联电阻,但是对电感方面的需求不太好实现,因为电感本身是超导集成电路必不可少的一块,并不能去除,同时,电路中需要用到不同大小的电感,如果我们单纯提升单位电感的话将对小电感的电路设计造成困扰。

### 发明内容

[0006] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种具有大电感层的超导电路及其制备方法,用于解决现有技术的超导电路中电感大小范围较窄,限制超导电路的应用场景及超导电路的集成度等问题。

[0007] 为实现上述目的及其他相关目的,本发明提供一种具有大电感层的超导电路的制备方法,所述制备方法包括:

[0008] 1) 提供衬底,并于所述衬底上形成旁路电阻;

[0009] 2) 于上述得到的结构表面形成具有第一开孔的图形化的第一绝缘材料层,所述第一开孔显露所述旁路电阻;

[0010] 3) 于上述得到的结构表面依次形成第一超导材料层、势垒材料层、第二超导材料

层的三层薄膜结构；

[0011] 4) 从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结；

[0012] 5) 于上述得到的结构表面形成图形化的第二绝缘材料层,并于所述第二绝缘材料层上形成大电感层；

[0013] 6) 于上述得到的结构表面形成具有多个第二开孔的图形化的第三绝缘材料层,多个所述第二开孔分别显露所述大电感层及所述约瑟夫森结的上表面；

[0014] 7) 于上述得到的结构表面形成第三超导材料层,并刻蚀所述第三超导材料层形成配线层。

[0015] 可选地,步骤7)之后还包括：

[0016] 8) 于步骤7)得到的结构表面形成第四绝缘材料层,并对所述第四绝缘材料层进行图形化；

[0017] 9) 于上述得到的结构表面形成第四超导材料层,并刻蚀所述第四超导材料层形成接地层。

[0018] 可选地,步骤5)还包括:刻蚀所述第二绝缘材料层形成第三开孔,所述第三开孔显露所述约瑟夫森结的上表面。

[0019] 可选地,所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。

[0020] 基于上述制备方法,本发明还提供一种具有大电感层的超导电路,所述超导电路包括：

[0021] 衬底；

[0022] 形成于所述衬底上的旁路电阻；

[0023] 形成于所述旁路电阻上的约瑟夫森结；

[0024] 形成于所述约瑟夫森结上的大电感层；

[0025] 形成于所述大电感层上的配线层；

[0026] 绝缘材料层,分别将所述旁路电阻、所述约瑟夫森结、所述大电感层及所述配线层电学隔离。

[0027] 可选地,还包括:形成于所述配线层上的接地层,所述绝缘层还将所述接地层电学隔离。

[0028] 可选地,所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。

[0029] 本发明还提供另一种具有大电感层的超导电路的制备方法,所述制备方法包括：

[0030] 1) 提供衬底,并于所述衬底上分别形成旁路电阻及大电感层；

[0031] 2) 于上述得到的结构表面形成具有多个第一开孔的第一绝缘材料层,多个所述第一开孔分别显露所述旁路电阻及所述大电感层；

[0032] 3) 于上述得到的结构表面依次形成第一超导材料层、势垒材料层、第二超导材料层的三层薄膜结构；

[0033] 4) 从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结；

[0034] 5) 于上述得到的结构表面形成具有第二开孔的第二绝缘材料层,所述第二开孔显露所述约瑟夫森结的上表面；

- [0035] 6) 于上述得到的结构表面形成第三超导材料层,并刻蚀所述第三超导材料层形成配线层。
- [0036] 可选地,步骤6)之后还包括:
- [0037] 7) 于步骤6)得到的结构表面形成第三绝缘材料层,并对所述第三绝缘材料进行图形化;
- [0038] 8) 于上述得到的结构表面形成第四超导材料层,并刻蚀所述第四超导材料层形成接地层。
- [0039] 可选地,所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。
- [0040] 基于上述制备方法,本发明还提供一种具有大电感层的超导电路,所述超导电路包括:
- [0041] 衬底;
- [0042] 形成于所述衬底上的旁路电阻及大电感层;
- [0043] 形成于所述旁路电阻及所述大电感层上的约瑟夫森结;
- [0044] 形成于所述约瑟夫森结上的配线层;
- [0045] 绝缘材料层,分别将所述旁路电阻、所述约瑟夫森结、所述大电感层及所述配线层电学隔离。
- [0046] 可选地,还包括:形成于所述配线层上的接地层,所述绝缘层还将所述接地层电学隔离。
- [0047] 可选地,所述旁路电阻为Mo层,或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN。
- [0048] 如上所述,本发明的具有大电感层的超导电路及其制备方法,利用原配线层的中小电感设计中,再设计加入一层专门的大电感层应用于需要大电感的超导电路中,有效扩大了超导电路中的电感大小范围,拓宽了超导电路的应用场景,提高超导电路的集成度;另外,特定材料的大电感层同时还可以用作大电阻层,从而可进一步提升超导电路的集成度。

## 附图说明

- [0049] 图1显示为本发明实施例一的具有大电感层的超导电路的制备方法流程示意图。
- [0050] 图2至图15显示为本发明实施例一的具有大电感层的超导电路的制备方法中各步骤所呈现的截面结构示意图。
- [0051] 图16显示为本发明实施例二的具有大电感层的超导电路的制备方法中步骤S1的截面结构示意图。
- [0052] 元件标号说明
- |        |     |         |
|--------|-----|---------|
| [0053] | 100 | 衬底      |
| [0054] | 101 | 旁路电阻    |
| [0055] | 102 | 第一绝缘材料层 |
| [0056] | 103 | 第一开孔    |
| [0057] | 104 | 第一超导材料层 |
| [0058] | 105 | 势垒材料层   |

[0059]	106	第二超导材料层
[0060]	107	上电极
[0061]	108	势垒层
[0062]	109	下电极
[0063]	110	第二绝缘材料层
[0064]	111	大电感层
[0065]	112	第二开孔
[0066]	113	第三绝缘材料层
[0067]	114	第三超导材料层
[0068]	115	配线层
[0069]	116	第四绝缘材料层
[0070]	117	第四超导材料层
[0071]	118	接地层
[0072]	119	第三开孔
[0073]	S1~S7	步骤

### 具体实施方式

[0074] 以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。

[0075] 请参阅图1至图16。需要说明的是，本实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可根据实际需要进行改变，且其组件布局型态也可能更为复杂。

[0076] 实施例一

[0077] 如图1所示，本实施例提供一种具有大电感层的超导电路的制备方法，所述制备方法包括如下步骤：

[0078] S1，提供衬底，并于所述衬底上形成旁路电阻；

[0079] S2，于上述得到的结构表面形成具有第一开孔的图形化的第一绝缘材料层，所述第一开孔显露所述旁路电阻；

[0080] S3，于上述得到的结构表面依次形成第一超导材料层、势垒材料层、第二超导材料层的三层薄膜结构；

[0081] S4，从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结；

[0082] S5，于上述得到的结构表面形成图像化的第二绝缘材料层，并于所述第二绝缘材料层上形成大电感层；

[0083] S6，于上述得到的结构表面形成具有多个第二开孔的图形化的第三绝缘材料层，多个所述第二开孔分别显露所述大电感层及所述约瑟夫森结的上表面；

[0084] S7，于上述得到的结构表面形成第三超导材料层，并刻蚀所述第三超导材料层形

成配线层。

[0085] 下面结合附图详细说明本实施例的具有大电感层的超导电路的制备方法。

[0086] 如图1中的S1及图2所示,首先进行步骤S1,提供衬底100,并于所述衬底100上形成旁路电阻101。

[0087] 所述衬底100可以包括硅衬底、氧化硅衬底、氧化镁衬底、蓝宝石衬底及碳化硅衬底中的至少一种,但也不限于此,任何适于制备超导电路的衬底均可使用。

[0088] 作为示例,形成所述旁路电阻101的具体方法包括:先于所述衬底100上形成一层旁路电阻材料层;然后对该旁路电阻材料层进行光刻-刻蚀以实现对该旁路电阻材料层图形化,得到所述旁路电阻101。所述旁路电阻101可以选择为单一的Mo层;也可以为Pd层与Ti层的叠层结构,其中Ti层作为粘附层,Pd层作为主要的电阻材料层,Ti层可实现衬底与Pd层的良好粘附,一般Ti层的厚度较薄约6nm~20nm之间,Pd层的厚度根据具体电阻大小的需要进行设置,一般在20nm~100nm之间。

[0089] 如图1中的S2及图3所示,然后进行步骤S2,于上述得到的结构表面形成具有第一开孔103的图形化的第一绝缘材料层102,所述第一开孔103显露所述旁路电阻101。所述旁路电阻101的形状及布局可以依据实际需求设计

[0090] 作为一具体示例方法:先于上述得到的结构表面PECVD工艺形成所述第一绝缘材料层102;然后对该第一绝缘材料层102进行光刻-刻蚀实现图形化,并形成所述第一开孔103。

[0091] 所述第一绝缘材料层102的材料包括SiO<sub>2</sub>或SiN<sub>x</sub>,但也不限于此,其他绝缘性能较佳的材料也可。

[0092] 如图1中的S3及图4所示,接着进行步骤S3,于上述得到的结构表面依次形成第一超导材料层104、势垒材料层105、第二超导材料层106的三层薄膜结构。

[0093] 具体的,所述第一超导材料层104包括氮化铌层及铌层中的至少一种,即,可以是其中的一种,也可以是两种构成的叠层结构;所述第二超导材料层106包括氮化铌层及铌层中的至少一种,即,可以是其中的一种,也可以是两种构成的叠层结构;另外,所述势垒材料层105为含铝材料层,所述含铝材料层包括铝层、氧化铝层及氮化铝层中的至少一种,即,可以是其中的一种,也可以是两种或者以上构成的叠层结构。本实施例中,所述第一超导材料层104为Nb层;所述第二超导材料层106为Nb层;所述势垒材料层105为Al-AlO<sub>x</sub>层。

[0094] 如图1中的S4及图5所示,接着进行步骤S4,从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结。具体为:先对所述第二超导材料层106进行光刻-刻蚀,得到上电极层107;然后对所述势垒材料层105进行光刻-刻蚀,得到势垒层108;最后对所述第一超导材料层104进行光刻-刻蚀,得到下电极层109,同时所述下电极层109与所述旁路电阻101电连接。由所述上电极层107、所述势垒层108及所述下电极层109形成所述约瑟夫森结。所述上电极层107、所述势垒层108及所述下电极层109的形状及布局依据实际需要进行设计。

[0095] 如图1中的S5及图6至图9所示,接着进行步骤S5,于上述得到的结构表面形成图形化的第二绝缘材料层110,并于所述第二绝缘材料层110上形成大电感层111。所述大电感层的形状及布局依据实际需要进行设计。

[0096] 如图6所示,形成所述第二绝缘材料层110后,可以先不对所述第二绝缘材料层110



进行刻蚀形成裸露所述约瑟夫结上表面的开孔；如图9所示，然后于所述第二绝缘材料层110上形成大电感层111。该方式可以在后续形成第三绝缘材料层113后，对所述第二绝缘材料层110及所述第三绝缘材料层113一起进行刻蚀形成裸露所述约瑟夫森结上表面的开孔，如图10所示。

[0097] 如图7所示，形成所述第二绝缘材料层110后，也可以先对所述第二绝缘材料层110进行刻蚀形成裸露所述约瑟夫结上表面的第三开孔119；如图8所示，然后于所述第二绝缘材料层110上形成大电感层111。该方式可以在后续形成第三绝缘材料层113后，仅对所述第三绝缘材料层113进行刻蚀形成裸露所述约瑟夫森结上表面的开孔，如图10所示。

[0098] 作为示例，第二绝缘材料层110的材料包括 $\text{SiO}_2$ 或 $\text{SiN}_x$ ，但也不限于此，其他绝缘性能较佳的材料也可。

[0099] 作为示例，所述大电感层111的材料为 $\text{NbN}$ 或 $\text{MoN}$ 。如果所述大电感层111的材料选择为 $\text{MoN}$ 时，该大电感层111同时还可用作大电阻层，从而可以进一步提高超导电路的集成度。

[0100] 如图1中的S6及图10所示，接着进行步骤S6，于上述得到的结构表面形成具有多个第二开孔112的图形化的第三绝缘材料层113，多个所述第二开孔112分别显露所述大电感层111及所述约瑟夫森结的上表面。

[0101] 作为示例，第三绝缘材料层113的材料包括 $\text{SiO}_2$ 或 $\text{SiN}_x$ ，但也不限于此，其他绝缘性能较佳的材料也可。

[0102] 如图1中的S7及图11及图12所示，最后进行步骤S7，于上述得到的结构表面形成第三超导材料层114，并刻蚀所述第三超导材料层114形成配线层115，从而将相应电信号引出。所述配线层115的材料可以为氮化铌或铌中的至少一种，本实施例中，所述配线层115的材料选择为铌。

[0103] 另外，在某些场景下，需要对超导电路进行接地，以屏蔽外界噪声，此时需要在超导电路中再形成接地层，具体制备方法为：如图13所示，先于上述得到的结构表面形成第四绝缘材料层116，并对所述第四绝缘材料层116进行图形化，第四绝缘材料层116的材料包括 $\text{SiO}_2$ 或 $\text{SiN}_x$ ，但也不限于此，其他绝缘性能较佳的材料也可；如图14所示，然后再于上述得到的结构表面形成第四超导材料层117，如图15所示，并对所述第四超导材料层117进行刻蚀形成接地层118，从而将相应电信号引出。

[0104] 需要说明的是，本实施例的超导电路的制备方法中使用的绝缘材料层，例如第一绝缘材料层102、第二绝缘材料层110、第三绝缘材料层113及第四绝缘材料层116的材料可保持一致，从而实现同质生长的绝缘材料层，同质生长时不存在明显界面，对后续工艺无影响。

[0105] 基于以上超导电路的制备方法，如图12所示，并参阅图1至图11，本实施例还提供一种具有大电感层的超导电路，所述超导电路包括：

[0106] 衬底100；形成于所述衬底100上的旁路电阻101；形成于所述旁路电阻101上的约瑟夫森结，所述约瑟夫森结由所述上电极层107、所述势垒层108及所述下电极层109组成；形成于所述约瑟夫森结上的大电感层111；形成于所述大电感层111上的配线层115；绝缘材料层，分别将所述旁路电阻101、所述约瑟夫森结、所述大电感层111及所述配线层115电学隔离，所述绝缘材料层包括所述第一绝缘材料层102、第二绝缘材料层110及第三绝缘材料

层113。

[0107] 如图15所示,并参阅图13至图14,作为示例,所述超导电路还包括形成于所述配线层115上的接地层118,所述绝缘层还将所述接地层118电学隔离,即所述绝缘材料层还包括所述第四绝缘材料层116。

[0108] 作为示例,所述旁路电阻101为Mo层或Pd层与Ti层的叠层;所述大电感层111的材料为NbN或MoN,如果所述大电感层111的材料选择为MoN时,该大电感层111同时还用作大电阻层,从而可以进一步提高超导电路的集成度。

[0109] 基于上述超导电路的制备方法,利用原配线层的中小电感设计中,再设计加入一层专门的大电感层应用于需要大电感的超导电路中,有效扩大了超导电路中的电感大小范围,拓宽了超导电路的应用场景,提高超导电路的集成度;另外,特定材料的大电感层同时还可以用作大电阻层,从而可进一步提升超导电路的集成度。

[0110] 实施例二

[0111] 本实施例提供另一种具有大电感层的超导电路的制备方法,该制备方法与实施例一的超导电路的制备方法基本相同,不同在于:如图16所示,提供衬底100后,在所述衬底100上制备所述旁路电阻101的同时制备所述大电感层111,即本实施例的制备方法形成的大电感层111形成于衬底上。该制备方法具体为:

[0112] S1,提供衬底,并于所述衬底上分别形成旁路电阻及大电感层;

[0113] S2,于上述得到的结构表面形成具有多个第一开孔的第一绝缘材料层,多个所述第一开孔分别显露所述旁路电阻及所述大电感层;

[0114] S3,于上述得到的结构表面依次形成第一超导材料层、势垒材料层、第二超导材料层的三层薄膜结构;

[0115] S4,从上而下分别用不同的图案刻蚀所述三层薄膜结构以形成约瑟夫森结;

[0116] S5,于上述得到的结构表面形成具有第二开孔的第二绝缘材料层,所述第二开孔显露所述约瑟夫森结的上表面;

[0117] S6,于上述得到的结构表面形成第三超导材料层,并刻蚀所述第三超导材料层形成配线层。

[0118] 作为示例,在某些场景下,需要对超导电路进行接地,以屏蔽外界噪声,此时需要在超导电路中再形成接地层,具体制备方法为:首先于上述得到的结构表面形成第三绝缘材料层,并对所述第三绝缘材料进行图形化;然后于上述得到的结构表面形成第四超导材料层,并刻蚀所述第四超导材料层形成接地层。

[0119] 作为示例,所述旁路电阻为Mo层或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN,如果所述大电感层的材料选择为MoN时,该大电感层同时还用作大电阻层,从而可以进一步提高超导电路的集成度。

[0120] 基于该制备方法,本实施例还提供一种具有大电感层的超导电路,所述超导电路包括:

[0121] 衬底;形成于所述衬底上的旁路电阻及大电感层;形成于所述旁路电阻及所述大电感层上的约瑟夫森结;形成于所述约瑟夫森结上的配线层;绝缘材料层,分别将所述旁路电阻、所述约瑟夫森结、所述大电感层及所述配线层电学隔离。

[0122] 作为示例,所述超导电路还包括形成于所述配线层上的接地层,所述绝缘材料层

还将所述接地层电学隔离,即所述绝缘材料层还包括所述第三绝缘材料层。

[0123] 作为示例,所述旁路电阻为Mo层或Pd层与Ti层的叠层;所述大电感层的材料为NbN或MoN,如果所述大电感层的材料选择为MoN时,该大电感层同时还可用作大电阻层,从而可以进一步提高超导电路的集成度。

[0124] 基于上述超导电路的制备方法及其超导电路,利用原配线层的中小电感设计中,再设计加入一层专门的大电感层应用于需要大电感的超导电路中,有效扩大了超导电路中的电感大小范围,拓宽了超导电路的应用场景,提高超导电路的集成度;另外,特定材料的大电感层同时还可以用作大电阻层,从而可进一步提升超导电路的集成度。

[0125] 综上所述,本发明提供一种具有大电感层的超导电路及其制备方法,利用原配线层的中小电感设计中,再设计加入一层专门的大电感层应用于需要大电感的超导电路中,有效扩大了超导电路中的电感大小范围,拓宽了超导电路的应用场景,提高超导电路的集成度;另外,特定材料的大电感层同时还可以用作大电阻层,从而可进一步提升超导电路的集成度。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0126] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

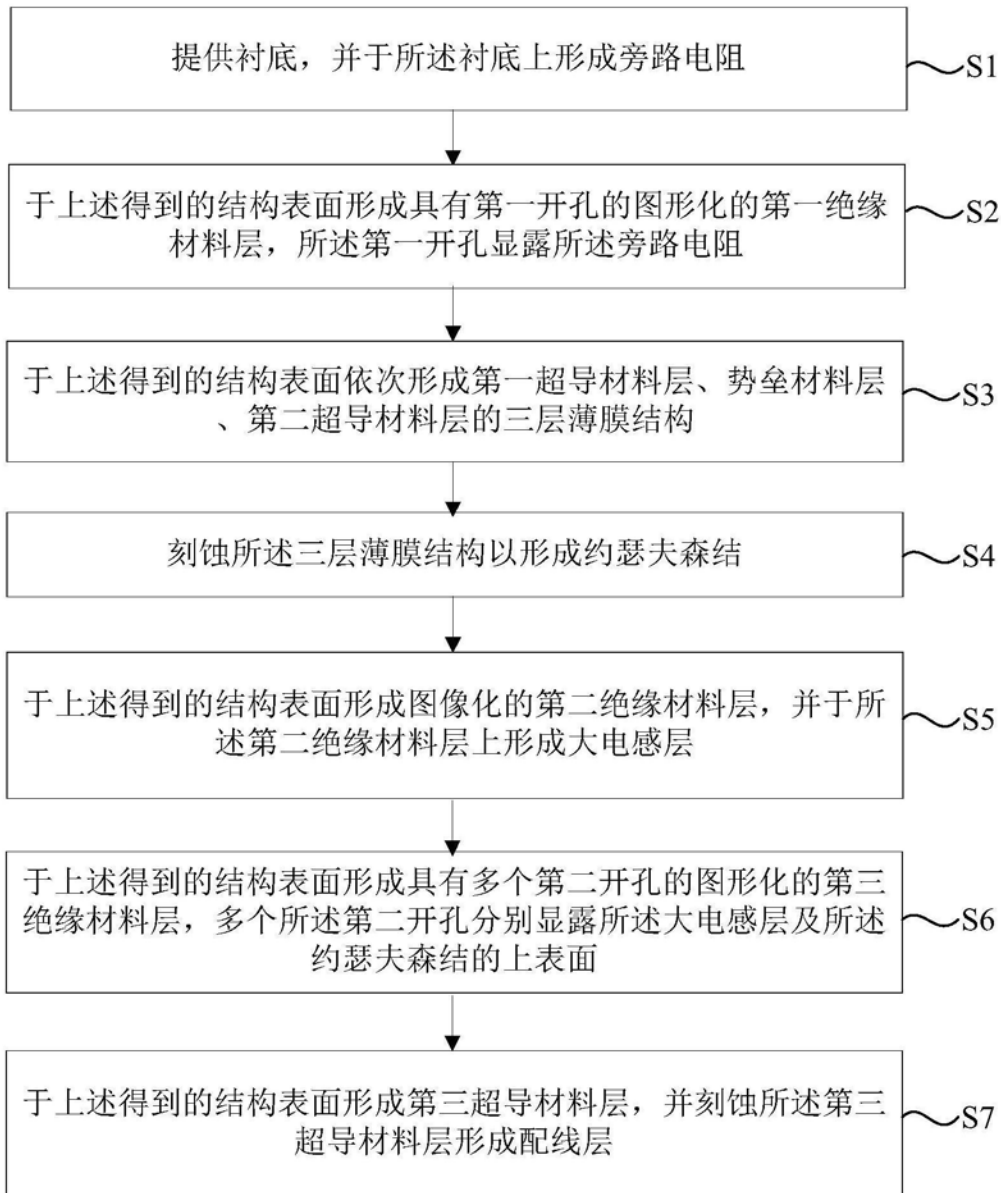


图1



图2

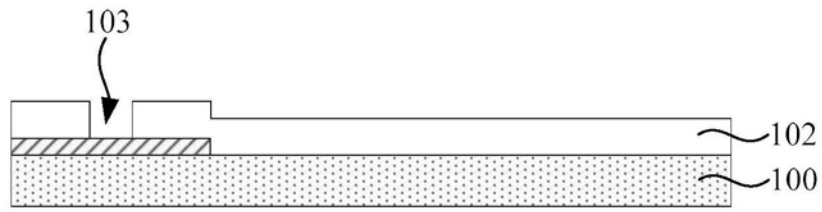


图3

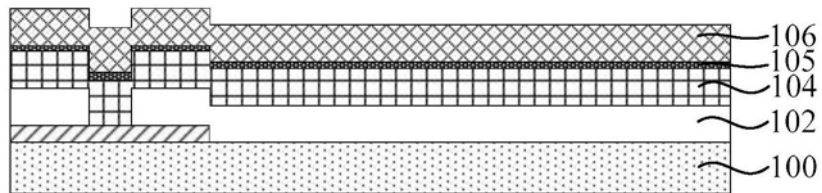


图4

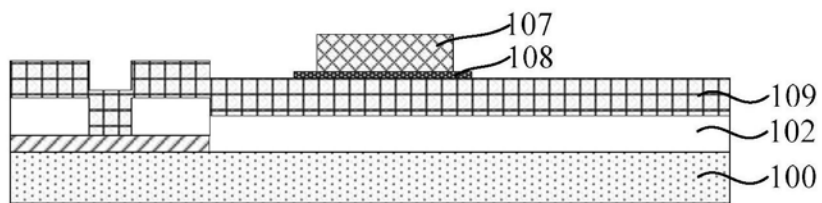


图5

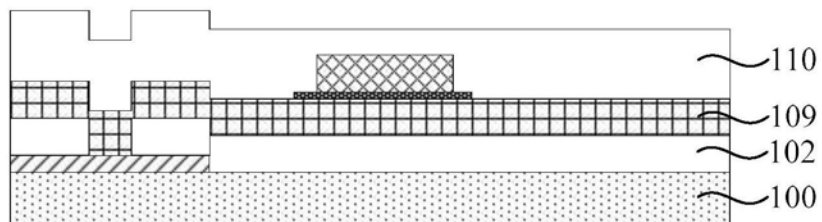


图6

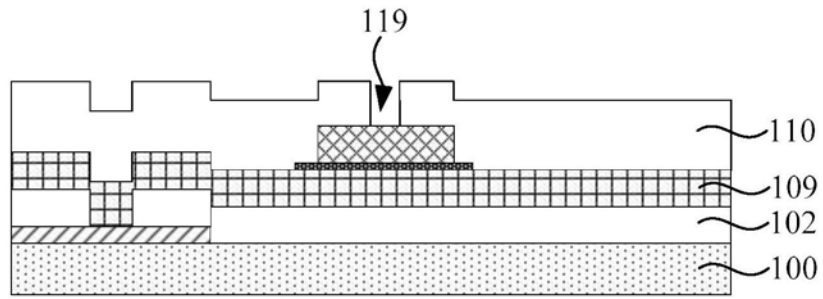


图7

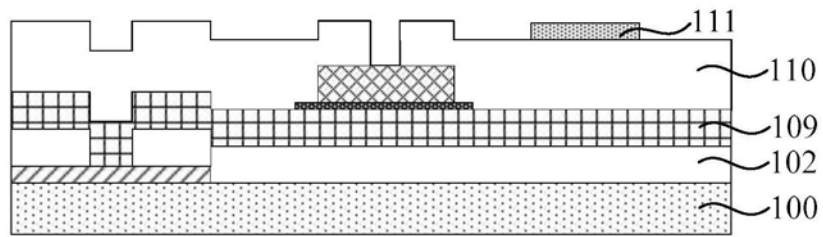


图8

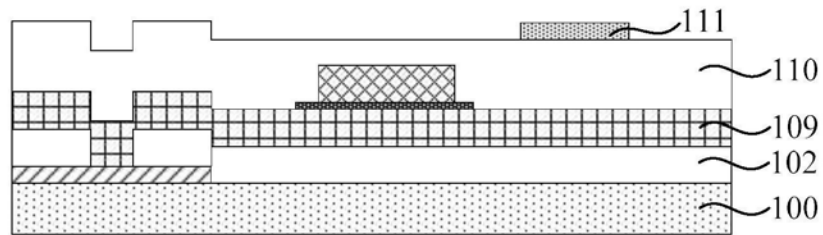


图9

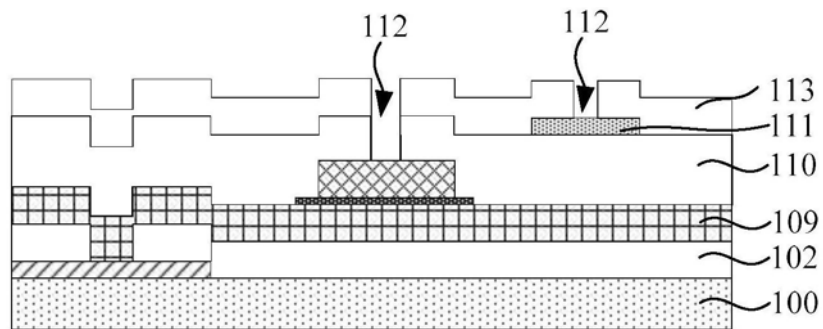


图10

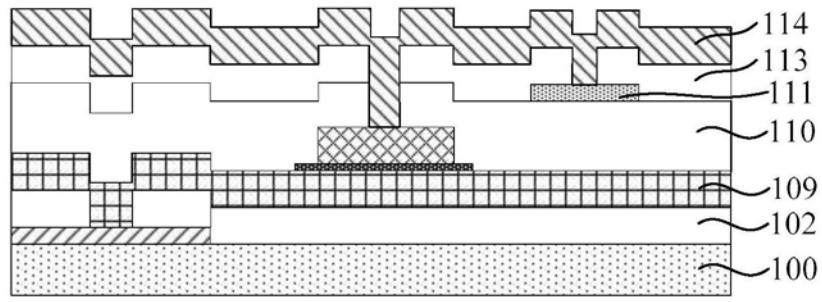


图11

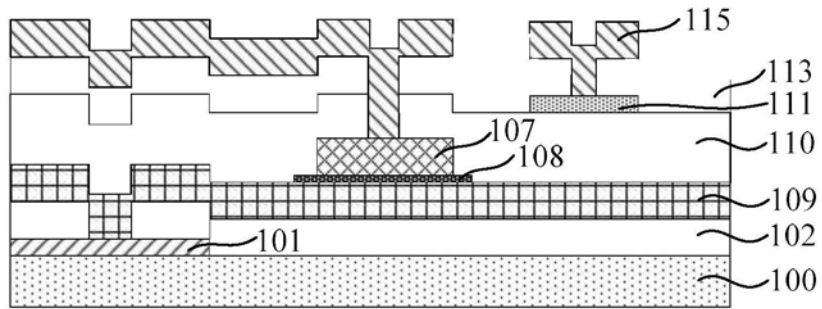


图12

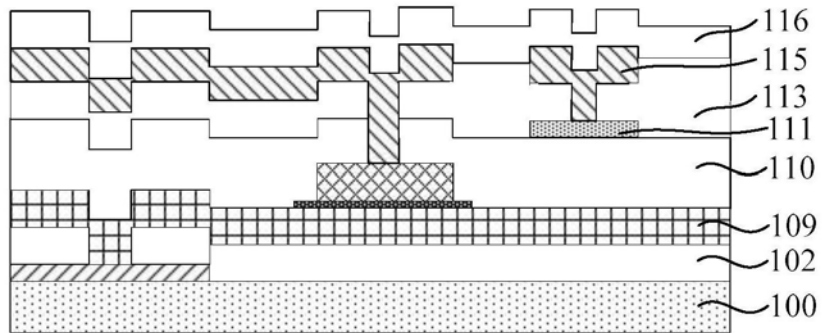


图13

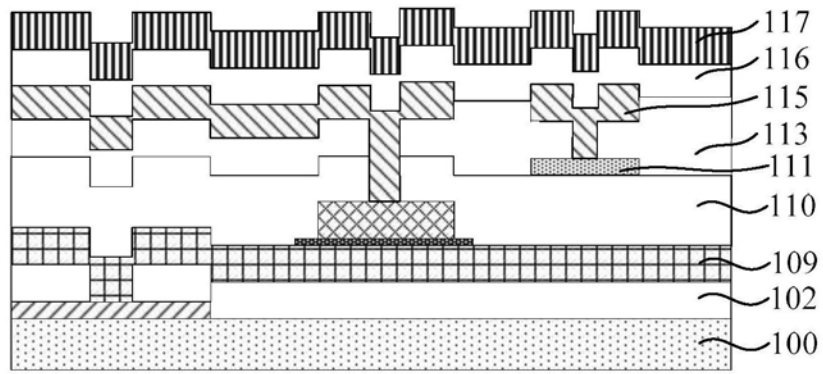


图14

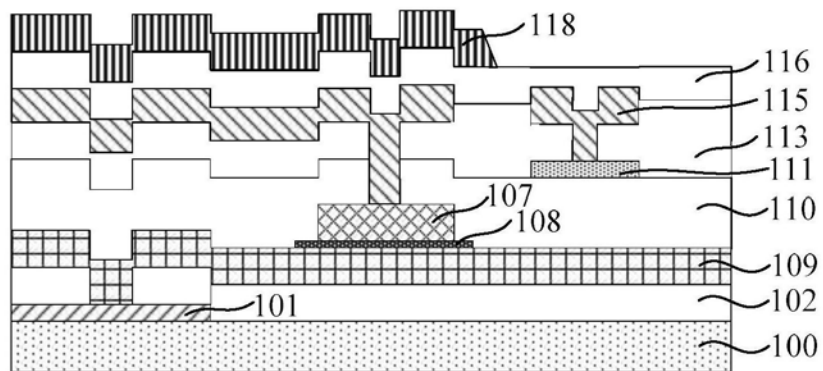


图15



图16