



[12] 发明专利说明书

专利号 ZL 200610024846.4

[45] 授权公告日 2008 年 3 月 5 日

[11] 授权公告号 CN 100373585C

[22] 申请日 2006. 3. 17

[21] 申请号 200610024846. 4

[73] 专利权人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路 865 号

[72] 发明人 张恩霞 张正选 王 曦 林成鲁
林梓鑫 钱 聪 贺 威

[56] 参考文献

JP10 - 65156A 1998. 3. 6

CN1393935A 2003. 1. 29

US6569781B1 2003. 5. 27

US6825133B2 2004. 11. 30

CN1152798A 1997. 6. 25

审查员 马 骁

[74] 专利代理机构 上海智信专利代理有限公司

代理人 潘振甦

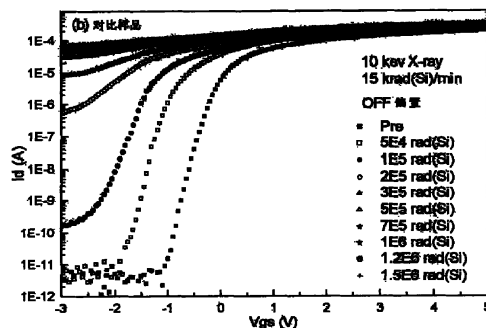
权利要求书 1 页 说明书 5 页 附图 2 页

[54] 发明名称

提高金属氧化物半导体器件场区抗总剂量的加固方法

[57] 摘要

本发明涉及提高 MOS 晶体管场区抗总剂量辐射的加固方法，属于微电子与固体电子学中、半导体集成电路加工技术领域。本发明的特征在于在金属氧化物半导体器件制备工艺流程的刻蚀硅岛、场注入、去胶清洗、场氧化之后，以及预栅氧之前，在场区氧化层中室温下注入氮、氟、硅或锗离子中的一种或者它们的组合，在惰性气氛的保护下，于 800 ~ 1000℃ 的温度退火 30 ~ 60min，然后正常进行后续工艺，注入的能量和剂量根据场氧化层的厚度决定；在氧化层中引入深电子陷阱，避免了边缘漏电流，减小了辐射产生正电荷对器件的影响，从而提高了器件的抗总剂量辐射的水平。而且这种方法不用特殊制备氧化埋层的方法，适用于商业化生产。



1. 一种提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于在金属氧化物半导体器件制备工艺流程的刻蚀硅岛、场注入、去胶清洗、场氧化之后,以及预栅氧之前,在场区氧化层中室温下注入氮、氟、硅或锗离子中的一种或者它们的组合,在惰性气氛的保护下,于 $800\sim 1000^{\circ}\text{C}$ 的温度退火 $30\sim 60\text{min}$, 然后正常进行后续工艺,注入的能量和剂量根据场氧化层的厚度决定。
2. 按权利要求 1 所述的提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于 Si 离子注入的剂量范围为 $1\times 10^{15}\sim 1\times 10^{17}\text{cm}^{-2}$ 。
3. 按权利要求 1 所述的提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于氮离子注入的剂量范围为 $1\times 10^{14}\sim 1\times 10^{17}\text{cm}^{-2}$ 。
4. 按权利要求 1 所述的提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于氟离子注入的剂量范围为 $1\times 10^{12}\sim 1\times 10^{16}\text{cm}^{-2}$ 。
5. 按权利要求 1 所述的提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于锗离子注入的剂量范围为 $1\times 10^{11}\sim 5\times 10^{15}\text{cm}^{-2}$ 。
6. 按权利要求 1、2、3、4 或 5 中任意一项所述的提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于退火之后最终得到的注入离子的峰值位于场区氧化层中,距离硅与氧化层界面为 $800\sim 1600\text{\AA}$ 处。
7. 按权利要求 1 所述的提高金属氧化物半导体器件场区抗总剂量辐射的加固方法,其特征在于所述的惰性气氛为 Ar、氮气或 $\text{Ar}+3\text{vol}\%\text{O}_2$ 。

提高金属氧化物半导体器件场区抗总剂量的加固方法

技术领域

本发明涉及一种提高金属氧化物半导体（MOS）器件的场区抗总剂量辐射的加固方法，更确切地说，是采用离子注入的方法将掺杂离子引入到器件的场区氧化层中，以提高基于器件和电路的抗总剂量辐射性能。属于微电子学与固体电子学、硅集成电子器件材料的制造等研究领域。

背景技术

在互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）制造技术中，一般通过局域氧化硅（LOCOS）或浅沟道隔离（STI）技术获得氧化层以实现器件间的电隔离，而MOS器件中对总剂量辐射最敏感的区域就是氧化层，在MOS器件中总剂量辐射引起的效应主要是在氧化物中产生电荷以及在Si/SiO₂界面产生界面状态。电离辐射在半导体内部产生的电子—空穴对可以很快复合，但在MOS器件的SiO₂中产生的电子—空穴对，只是部分复合，从图1可以看出，在外电场的作用下，由于电子迁移率（ $2 \times 10^{-3} \text{m}^2/\text{Vs}$ （ $T=300\text{K}$ ））较大，可以很快的离开绝缘层，留下空穴将在电场作用下，以较慢的迁移速度（ $2 \times 10^{-9} \text{m}^2/\text{Vs}$ （ $T=300\text{K}$ ）），在SiO₂中迁移。最后，当空穴到达Si/SiO₂界面附近靠近SiO₂侧被陷阱所俘获而成为正的空间电荷，并同时Si/SiO₂界面引入辐射感生界面态。因此，采用场区氧化物隔离的器件，在经受电离辐射时，场区氧化物俘获的正电荷远远大于栅氧层所俘获的正电荷。对于体硅N管，场氧化层下面的P型衬底的阈值电压会因此大大的降低，甚至能降到0V左右，此时场绝缘氧化层就起不到隔离的作用，泄漏电流随之增加，如图2所示。对于SOI MOS器件，如图3所示，硅岛边缘就等价于平行于SOI MOS器件平行的寄生晶体管，硅岛边缘的氧化层对辐射更敏感，此时这些寄生晶体管在主晶体管为关态时也很有可能导通（边缘泄漏电流），导致器件漏电流意想不到的增加。但这些漏电流

是可以由栅电压控制的，只是在转移特性（I-V）曲线上会出现一个“台阶”，如图4中 Sidewall current 所指的电流。对于 CMOS 器件，这些由隔离氧化层引起的泄漏电流，是迫切需要解决的问题。

对于场氧的加固，人们想了很多办法，目前主要有两种方法，一是采用无边缘器件以避开场区，如环栅，但是这种无边缘器件占用版图面积比较大，不适应于目前超大规模集成电路的发展对器件尺寸减小的要求。另一种就是从场区工艺本身入手，抑制 P 型场区的反型，消除场区边缘电离辐射寄生漏电，一方面采用 P 型注入，提高场氧化层下 P 型硅表面掺杂浓度，可以增加电路的抗电离辐照的能力，但是由于场氧化层下 P 型掺杂浓度直接影响 NMOS 器件的击穿电压，掺杂浓度越高，器件的击穿电压越低，因为保证电路正常可靠地工作，P 型掺杂浓度的提高受到限制，同时由于 P 型杂质在 Si/SiO₂ 界面的分凝效应，P 型杂质在厚场氧下表面浓度难于大幅度提高，采用该方法提高电路的抗辐射能力不明显；另一方面改变场氧的制备工艺，如减薄氧化层厚度、改变热生长场氧化层的工艺条件，但是这仍不能满足电路抗辐照的要求。

发明内容

本发明的目的在于提供一种提高 MOS 器件场区抗辐射性能的加固方法，所述的加固方法既能避免了 MOS 器件中隔离场氧化层中电离辐射导致的边缘泄漏电流，同时延长了 MOS 器件在恶劣辐射环境下的使用寿命；因而，既避免了采用无边缘器件带来的器件尺寸增加，也避免了采用提高场氧化层下 P 型硅表面掺杂浓度方法造成的电路击穿电压降低，且所述的加固工艺简单并与 CMOS 工艺兼容，且加固工艺，适合于商业化生产。

本发明提供的方法的特征是，在 MOS 器件的隔离场氧化层中注入一定剂量氮、氟、硅、锗等离子中的一种或几种，以提供深电子陷阱及复合中心，这种深电子陷阱及复合中心在场氧化层中、位于场氧化层/硅岛界面附近，既不在界面上，也不在硅岛硅中。

本发明的实施方案是

本发明，通过在场区氧化层中产生深电子陷阱/复合中心，抑制电子从氧化层中向外迁移。从而使得氧化层始终保持电中性，器件的使用性能也得以保持。注入氧化层中的掺杂离子应该能与辐射损伤引起的任何自由电子牢牢结合，由此而言，注入的氮、氟、硅和锗

离子可以很好的达到要求。

本发明实现的技术方案：

- 1) 在 MOS 器件制备工艺流程的刻蚀硅岛、场注入、去胶清洗、场氧化之后，以及预栅氧之前，在场区氧化层中室温下注入氮、氟、硅和锆离子的一种或者他们的组合，在 N_2 或者 Ar 气氛或 $Ar+3vol\%O_2$ 的保护下，于 $800\sim 1000^\circ C$ 的温度下退火 30~60 min，然后正常进行后续工艺。注入的能量和剂量根据场氧化层的厚度决定。
- 2) 对于隔离区场氧化层参数不同的器件而言，注入离子的能量和剂量不同，但是退火之后最终得到的注入离子的峰值都是位于场区氧化层中、距离 Si 与氧化层界面为 $800\sim 1600\text{\AA}$ 处；
- 3) 注入后的退火与标准 CMOS 工艺兼容：温度为在 $700\sim 1000^\circ C$ 范围内、在惰性气氛保护下进行；所涉及的 MSO 晶体管可以是体硅 MOS 晶体管或绝缘层上的硅 (SOI) MOS 晶体管；
- 4) 采用局域热氧化 (LOCOS) 或者浅沟道 (STI) 工艺获得场区氧化层以实现器件的电隔离。

本发明所用的离子注入工艺是非常成熟的工艺，但是本发明的特点在于采用离子注入的工艺对 MOS 器件的隔离场氧化层注入其他杂质离子，从而对 MOS 器件进行加固，降低了 MOS 器件的边缘漏电流，提高了 MOS 器件的抗总剂量辐射水平。本发明的特征在于离子注入的剂量、能量等工艺参数对提高 MOS 器件的抗总剂量辐射性能有显著的效果。如果离子注入的剂量过高，会对隔离氧化层的绝缘性能产生影响，不利于器件之间的绝缘隔离。如果剂量太低，则对加固起不到相应的作用。对注 Si 离子，剂量必须达到在氧化层中形成 Si 纳米团簇 (Si Nanoclusters)，并且对隔离氧化层的绝缘性能的损伤尽可能少，这个剂量范围大概为 $1\times 10^{15}\sim 1\times 10^{17}$ ions/cm²。剂量低于 1×10^{15} ions/cm² 时退火后在场氧化层中只会形成 SiO_x 结构，不能形成 Si 纳米团簇，起不到加固的作用；剂量过高 ($>5\times 10^{17}$ ions/cm²) 时，会在场氧化层中会形成富硅结构，这对器件性能产生负面影响。对于 F 离子的注入，剂量为 $1\times 10^{12}\sim 1\times 10^{16}$ ions/cm² 范围内；对于 N 离子的注入，剂量在 $1\times 10^{14}\sim 1\times 10^{17}$ ions/cm² 范围内，剂量过低 ($<1\times 10^{14}$ ions/cm²) 达不到加固的效果，剂量过高会

在氧化层层中形成一层氮化硅 (Si_3N_4), 甚至形成气泡, 这种氮化物的晶格结构和 Si 差别较大, 从而引起界面的起伏, 导致场氧化层的绝缘性能, 最终影响器件的电学性能。对 Ge 离子注入的剂量范围为 $1 \times 10^{11} \sim 5 \times 10^{15} \text{ions/cm}^2$ 。

附图说明

图 1. MOS 结构中, 辐照感生电荷的生成、传输和俘获示意图

图 2. NMOSFET 中场氧化物可能存在的辐射致漏电流通道

图 3. SOI NMOSFET 中场氧化物可能存在的辐射致边缘侧沟漏电流通道

图 4. NMOSFET/SOI 在辐射前后的 I-V 曲线, 显示了侧墙的泄漏电流

图 5. 采用本发明提供的方法加固的 SOI 器件在不同辐射剂量下, 器件的 $I_{ds}-V_{gs}$ 曲线:

(a) 加固器件, (b) 对比器件

图 6. 采用本发明提供的方法加固的 SOI 器件在不同辐射剂量下, 器件的 $I_{ds}-V_{gs}$ 曲线(a)

加固器件, (b) 对比器件

具体实施方式

下列实施例将有助理解本发明, 但本发明的内容决不限实施列。

实施例 1.

以 SOI MOSFET 为例。采用标准的 CMOS 工艺, 在标准 SIMOX 圆片上制作 MOS 器件的过程中, 在场氧化步骤之后, 获得氧化层的厚度为 300 nm, 然后采用掩模板保护, 注入能量为 120 keV、剂量为 $1 \times 10^{16} \text{cm}^{-2}$ 的硅离子, 在 N_2 气氛的保护、 1000°C 的温度下退火 30min; 然后进行后续工艺, 直至完成整个的 MOS 器件的制作工艺。此时获得的 SOI MOS 器件没有边缘漏电流, 具有优越的抗辐射性能, 如图 5 所示。

实施例 2~9

注入离子分别为 Si, 或 N, 或 F, 注入剂量深度以及退火等工艺列于表中, 经加固后, 使 SOI 绝缘埋层具有优越的抗辐射性能。(图 6 所示) 由图 5 和图 6 曲线中可以看出, 经

过辐照后，对比样品的漏电流骤然增加，而加固样品的漏电流没有明显的变化，且阈值电压漂移大大小于非加固样品；经过 1.5Mrad(Si)辐照后，加固样品仍然具有良好的 $I_{ds}-V_{gs}$ 特性曲线。

No.	注入离子	剂量 (ions/cm ²)	退火温度 (°C)	时间 (h)	保护气氛	耐辐射性能指标
2	F	1×10^{14}	900~	1	Ar	$\sim 3 \times 10^5$ rad(Si)
3	F	1×10^{15}	1000	1	N ₂	
4	N	1×10^{14}	~1000	1	N ₂	$3 \times 10^5 \sim 5 \times 10^5$ rad(Si)
5	N	1×10^{16}		1	Ar	
6	N	1×10^{17}		1	N ₂	
7	Si	5×10^{15}	~800	0.5	Ar+3%O ₂	$> 5 \times 10^5$ rad(Si)
8	Si	4×10^{16}	~1000	1	Ar+3%O ₂	
9	Si	1×10^{17}	~900	0.8	Ar	

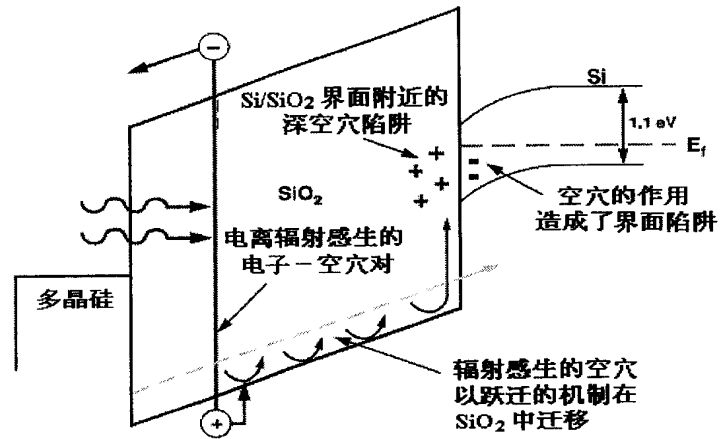


图 1

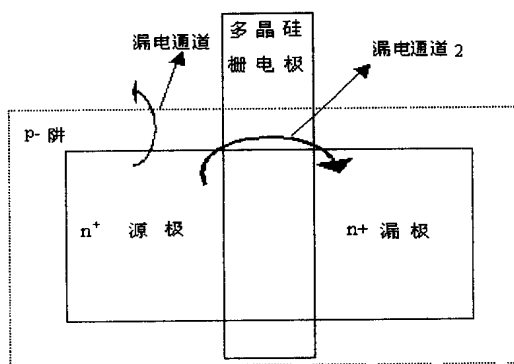


图 2.

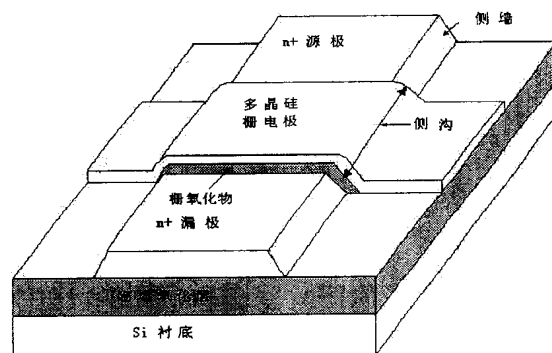


图 3.

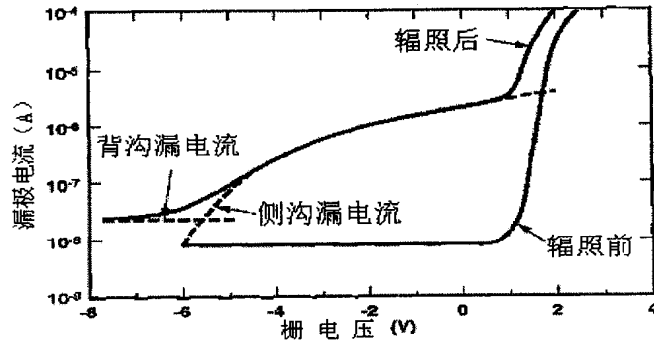


图 4

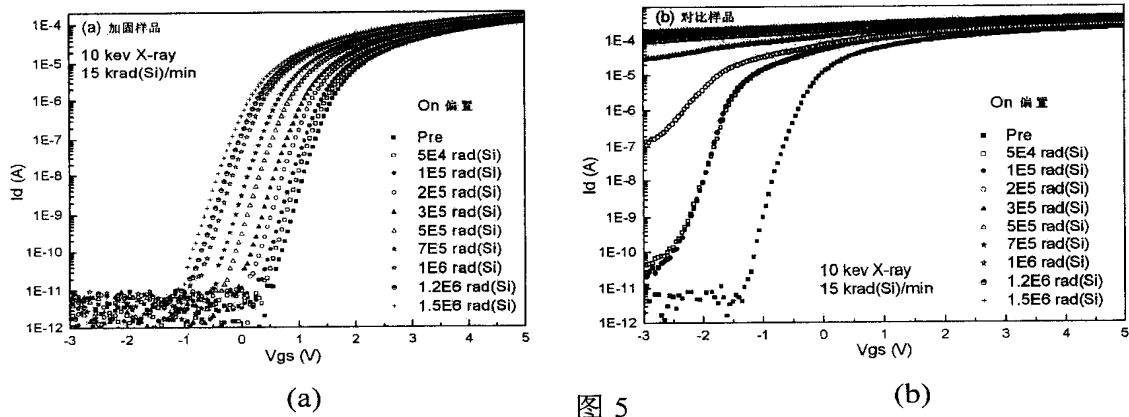


图 5

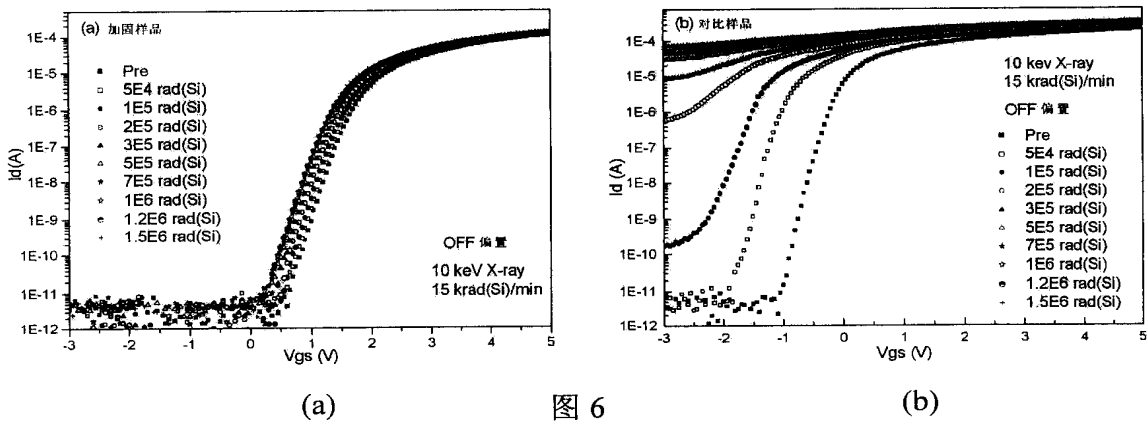


图 6